

无锡矽杰微电子有限公司
8-Bit Single-Chip Microcontrollers

X8P1202

用户手册 (Ver 2.1)

2019 年 6 月修订



免责声明

本使用说明文件内容如有变动恕不另作通知。关于该规格书的准确性、适当性或者完整性，无锡矽杰微电子有限公司（简称：无锡矽杰微）不承担任何责任。 无锡矽杰微不承诺对本使用说明文件之内容及信息有更新及校正之义务。 本规格书的内容及信息将为符合确认之指示而变更。在任何情况下，无锡矽杰微对本使用说明文件中的信息或内容的错误、遗漏，或者其它不准确性不承担任何责任。由于使用本使用说明文件中的信息或内容而导致的直接，间接，特别附随的或结果的损害，无锡矽杰微没有义务负责。本规格书中提到的软件（如果有），都是依据授权或保密合约所合法提供的，并且只能在这些合约的许可条件下使用或者复制。无锡矽杰微的产品不是专门设计来应用于生命维持的用具，装置或者系统。 无锡矽杰微的产品不支持而且禁止在这些方面的应用。

修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	
V1.1	修改 OPTION 描述	
V1.2	修改 LVD 电压设置选项	
V2.0	新增寄存器说明	
V2.1	文档订正更新	

目 录

1 芯片简介	7
1.1 功能特性.....	7
1.2 引脚分配.....	8
1.3 引脚描述.....	9
1.4 系统框图.....	10
2 存储器结构	11
2.1 程序存储器区	11
2.2 数据存储器	12
2.2.1 RPAGE\IOPAGE\Bank 数据寄存器区	12
3 功能模块	13
3.1 操作寄存器	13
3.1.1 RPAGE~R0(间接寻址寄存器)	13
3.1.2 RPAGE~R1(TCC 数据计数器)	13
3.1.3 RPAGE~R2(PC 指针低位寄存器)	13
3.1.4 RPAGE~R3(STATUS 状态寄存器)	13
3.1.5 RPAGE~R4(FSR RAM 选择寄存器)	14
3.1.6 RPAGE~R5(PORT5 数据寄存器)	14
3.1.7 RPAGE~R6(PORT6 数据寄存器)	14
3.1.8 RPAGE~R7(PORT7 数据寄存器)	14
3.1.9 RPAGE~R8(PWM0 控制寄存器).....	14
3.1.10 RPAGE~R9(PWM0 周期占空高位寄存器)	15
3.1.11 RPAGE~RA(PWM0 周期低位寄存器).....	15
3.1.12 RPAGE~RB(PWM0 占空低位寄存器).....	16
3.1.13 RPAGE~RC(查表地址低位寄存器).....	16
3.1.14 RPAGE~RD(P6 端口变化唤醒使能寄存器).....	16
3.1.15 RPAGE~RE(唤醒使能控制寄存器).....	16
3.1.16 RPAGE~RF(中断标志寄存器).....	17
3.1.17 RPAGE~R40(PWM 死区控制寄存器).....	17
3.1.18 RPAGE~R41(PWM 极性 & 死区控制寄存器).....	18
3.1.19 RPAGE~R42(LVD 控制寄存器).....	18
3.1.20 RPAGE~R43(PWM 端口输出控制寄存器)	19
3.1.21 RPAGE~R44(PWM 死区时钟及输出控制寄存器)	19
3.1.22 RPAGE~R45(PWM1 控制寄存器).....	20
3.1.23 RPAGE~R46(PWM1-2 周期占空高位寄存器)	21
3.1.24 RPAGE~R47(PWM1 周期低位寄存器)	21
3.1.25 RPAGE~R48(PWM1 占空低位寄存器).....	21
3.1.26 RPAGE~R49(PWM2 控制寄存器).....	21
3.1.27 RPAGE~R4A(PWM2 周期低位寄存器).....	22
3.1.28 RPAGE~R4B(PWM2 占空低位寄存器).....	22
3.1.29 RPAGE~R4C(P5 端口上拉控制寄存器).....	22
3.1.30 RPAGE~R4D(P5 端口变化唤醒使能寄存器).....	22
3.1.31 RPAGE~R4E(P5/P6 端口驱动控制寄存器).....	22

3.1.32 RPAGE~R4F(查表数据高位寄存器)	22
3.2 控制寄存器	23
3.2.1 CONT (控制寄存器)	23
3.2.2 IOPAGE~IOC5(P5 方向控制寄存器)	23
3.2.3 IOPAGE~IOC6(P6 方向控制寄存器)	23
3.2.4 IOPAGE~IOC7(P7 方向控制寄存器)	24
3.2.5 IOPAGE~IOC9(P5/P6 下拉控制寄存器)	24
3.2.7 IOPAGE~IOCB(P5/P6 下拉控制寄存器)	24
3.2.8 IOPAGE~IOCC(P6 端口开漏控制寄存器)	24
3.2.9 IOPAGE~IOCD(P6 端口上拉控制寄存器)	25
3.2.10 IOPAGF~IOCE(WDT 控制寄存器)	25
3.2.10 IOPAGF~IOCF(中断使能控制寄存器)	25
3.3 GPIO 功能模块	27
3.3.1 GPIO 寄存器说明	27
RPAGE~R5(PORT5 数据寄存器)	27
RPAGE~R6(PORT6 数据寄存器)	27
RPAGE~R7(PORT7 数据寄存器)	27
IOPAGE~IOC5(P5 方向控制寄存器)	27
IOPAGE~IOC6(P6 方向控制寄存器)	27
IOPAGE~IOC7(P7 方向控制寄存器)	28
IOPAGE~IOC9(P5/P6 下拉控制寄存器)	28
IOPAGE~IOCB(P5/P6 下拉控制寄存器)	28
IOPAGE~IOCC(P6 端口开漏控制寄存器)	28
IOPAGE~IOCD(P6 端口上拉控制寄存器)	29
RPAGE~R4C(P5 端口上拉控制寄存器)	29
RPAGE~R4E(P5/P6 端口驱动控制寄存器)	29
3.4 TCC 定时器功能模块	30
3.4.1 TCC 定时器寄存器说明	30
CONT (控制寄存器)	30
RPAGE~R1(TCC 数据计数器)	30
RPAGE~RF(中断标志寄存器)	31
IOPAGF~IOCF(中断使能控制寄存器)	31
3.4.2 TCC 定时设置说明	31
3.5 WDT 看门狗功能模块	32
3.5.1 WDT 看门狗寄存器说明	32
RPAGE~RF(中断标志寄存器)	32
IOPAGF~IOCE(WDT 控制寄存器)	32
IOPAGF~IOCF(中断使能控制寄存器)	32
3.5.2 WDT 看门狗设置说明	33
3.6 端口状态改变唤醒功能模块	34
3.6.1 睡眠唤醒方式说明	34
3.6.2 端口状态改变唤醒寄存器说明	34
RPAGE~R7(PORT7 数据寄存器)	34
RPAGE~RD(P6 端口变化唤醒使能寄存器)	34

RPAGE~RE(唤醒使能控制寄存器).....	34
RPAGE~RF(中断标志寄存器).....	35
IOPAGF~IOCF(中断使能控制寄存器).....	35
RPAGE~R4D(P5 端口变化唤醒使能寄存器).....	35
3.6.3 端口状态改变查询方式唤醒设置	36
3.6.4 端口状态改变中断方式唤醒设置	36
3.7 LVD 电压检测功能模块.....	37
3.7.1 LVD 电压检测寄存器说明	37
RPAGE~RE(唤醒使能控制寄存器).....	37
RPAGE~RF(中断标志寄存器).....	37
RPAGE~R42(LVD 控制寄存器).....	37
IOPAGF~IOCF(中断使能控制寄存器).....	37
3.7.2 LVD 电压检测查询方式设置说明	38
3.7.3 LVD 电压检测中断设置说明	38
3.7.4 LVD 电压检测唤醒设置说明	38
3.8 PWM 脉宽调制功能模块	39
3.8.1 PWM 脉宽调制寄存器说明.....	39
RPAGE~R8(PWM0 控制寄存器)	39
RPAGE~R9(PWM0 周期占空高位寄存器)	39
RPAGE~RA(PWM0 周期低位寄存器).....	40
RPAGE~RB(PWM0 占空低位寄存器).....	40
RPAGE~RF(中断标志寄存器).....	40
RPAGE~R40(PWM 死区控制寄存器).....	40
RPAGE~R41(PWM 极性及死区控制寄存器).....	41
RPAGE~R43(PWM 端口输出控制寄存器)	41
RPAGE~R44(PWM 死区时钟及输出控制寄存器).....	42
RPAGE~R45(PWM1 控制寄存器).....	42
RPAGE~R46(PWM1-2 周期占空高位寄存器)	43
RPAGE~R47(PWM1 周期低位寄存器).....	43
RPAGE~R48(PWM1 占空低位寄存器).....	43
RPAGE~R49(PWM2 控制寄存器).....	43
RPAGE~R4A(PWM2 周期低位寄存器).....	44
RPAGE~R4B(PWM2 占空低位寄存器).....	44
IOPAGF~IOCF(中断使能控制寄存器)	44
3.8.2 PWM 脉宽调制设置说明.....	45
3.8.3 PWM 脉宽调制互补设置说明	45
3.8.4 PWM 脉宽调制死区设置说明	45
3.8.5 PWM 脉宽调制倍频设置说明	46
3.8.6 PWM 脉宽调制级联设置说明	46
3.8.7 PWM 脉宽调制刹车设置说明	46
3.8.8 PWM 脉宽调制逻辑与输出设置说明.....	47
3.8.9 PWM 脉宽调制周期唤醒设置说明	47
3.9 中断功能模块	48
3.9.1 中断寄存器说明.....	48

RPAGE~RE(唤醒使能控制寄存器).....	48
RPAGE~RF(中断标志寄存器).....	48
IOPAGF~IOCF(中断使能控制寄存器)	49
RPAGE~R42(LVD 控制寄存器).....	50
3.9.2 外部中断设置说明	50
3.10 复位功能模块	51
3.10.1 复位功能概述.....	51
3.10.2 上电复位	51
3.10.3 WDT 看门狗复位	51
3.10.4 掉电复位	52
3.10.5 工作频率与 LVR 低压检测关系	52
3.11 系统时钟功能模块.....	54
3.11.1 外部晶体振荡器/陶瓷谐振器 (XT)	54
3.11.2 外部 RC 振荡器模式 (ERC)	54
3.11.3 内部 RC 振荡器模式 (IRC)	55
3.11.4 时钟模块应用说明	56
4 CODE OPTION 寄存器.....	57
5 芯片电气特性	58
5.1 芯片极限参数	58
5.2 芯片直流参数	58
6 封装类型	59
7 封装尺寸	60
7.1 20PIN 封装尺寸.....	60
7.2 18PIN 封装尺寸.....	62
7.3 16PIN 封装尺寸.....	64
7.4 14PIN 封装尺寸.....	66
7.5 8PIN 封装尺寸.....	68

1 芯片简介

1.1 功能特性

CPU 配置

- 2K×14-Bit OTP ROM
- 80×8-Bit SRAM
- 8 级堆栈空间
- 8 级可编程低电压检测 (LVD)
2.0V, 2.2V, 2.4V, 2.7V
3.0V, 3.3V, 3.6V, 3.9V
- 7 级可编程低电压复位 (LVR)
1.2V, 1.6V, 1.8V, 2.4V
2.7V, 3.3V, 3.6V
- 工作电流小于 2 mA (4MHz/5V)
- 工作电流 30 μ A (32kHz/3V)
- 休眠电流小于 1 μ A (休眠模式)

I/O 配置

- 3 组双向 I/O 端口:P5, P6, P7
- 18 个 I/O 引脚
- 唤醒端口:P5 口, P6 口, P7 口
- 18 个可编程上拉 I/O 引脚
- 18 个可编程下拉 I/O 引脚
- 8 个可编程漏极开路 I/O 引脚
- 18 个可编程驱动增强 I/O 引脚
- 外部中断:P57, P60, P61, P71

工作电压

- 工作电压范围:
1.8V~5.5V (0°C~70°C)
2.3V~5.5V (-40°C~85°C)

工作频率 (基于 2Clock)

- 内置 IRC 振荡电路:
16MHz, 8MHz, 4MHz
2MHz, 1MHz, 455KHz
- 外置 ERC 振荡电路:
- 外置 XT 振荡电路:
DC~16MHz (高于 4.0V)
DC~8MHz (高于 2.7V)
DC~4MHz (高于 2.4V)
DC~32.768KHz (高于 1.8V)

- 指令周期分频选择:
2T, 4T, 8T, 16T

外围模块

- 8Bit 定时器/计数器
- 可编程 WDT 定时器
- 3 路 10Bit 脉宽调制器 PWM

中断源

- TCC 溢出中断
- 外部中断
- 输入端口状态改变产生中断
- WDT 溢出中断
- 低电压检测 (LVD) 变化中断
- PWM0 周期匹配中断
- PWM1 周期匹配中断
- PWM2 周期匹配中断

特性

- PWM 带有死区保护, 倍频, 互补, 刹车, 级联功能
- PWM0 支持低速晶振模式唤醒

封装类型

- X8P1202TB (DIP20);
- X8P1202TD (SOP20);
- X8P1202RB (DIP18);
- X8P1202RD (SOP18);
- X8P1202PB (DIP16);
- X8P1202PD (SOP16);
- X8P1202M (DIP14);
- X8P1202N (SOP14);
- X8P1202B (DIP8);
- X8P1202D (SOP8)

1.2 引脚分配

Top View

IPWM1/P70	1	20	P71/INT2/IPWM0
IPWM0/P52	2	19	P51/IPWM1
IPWM2/P53	3	18	P50/IPWM2
TCC/P54	4	17	P56/OSCI
RST/INT3/P57	5	16	P55/OSCO
GND	6	15	VDD
PWM2/INT0/P60	7	14	P67/SPWM1
PWM1/INT1/P61	8	13	P66/SPWM0
PWM0/P62	9	12	P65/IPWM0
IPWM2/P63	10	11	P64/IPWM1

X8P1202TB/TD

X8P1202-20PIN 脚位图

Top View

IPWM0/P52	1	18	P51/IPWM1
IPWM2/P53	2	17	P50/IPWM2
TCC/P54	3	16	P56/OSCI
RST/INT3/P57	4	15	P55/OSCO
GND	5	14	VDD
PWM2/INT0/P60	6	13	P67/SPWM1
PWM1/INT1/P61	7	12	P66/SPWM0
PWM0/P62	8	11	P65/IPWM0
IPWM2/P63	9	10	P64/IPWM1

X8P1202RB/RD

X8P1202-18PIN 脚位图

Top View

IPWM0/P52	1	16	P51/IPWM1
IPWM2/P53	2	15	P50/IPWM2
TCC/P54	3	14	P56/OSCI
RST/INT3/P57	4	13	P55/OSCO
GND	5	12	VDD
PWM2/INT0/P60	6	11	P67/SPWM1
PWM1/INT1/P61	7	10	P66/SPWM0
PWM0/P62	8	9	P65/IPWM0

X8P1202PB/PD

X8P1202-16PIN 脚位图

Top View

IPWM0/P52	1	14	P51/IPWM1
IPWM2/P53	2	13	P50/IPWM2
TCC/P54	3	12	P56/OSCI
RST/INT3/P57	4	11	P55/OSCO
GND	5	10	VDD
PWM2/INT0/P60	6	9	P67/SPWM1
PWM1/INT1/P61	7	8	P66/SPWM0

X8P1202M/N

X8P1202-14PIN 脚位图

Top View

VDD	1	8	GND
OSCO/P55	2	7	P57/INT3/RST
OSCI/P56	3	6	P52/IPWM0
IPWM2/P50	4	5	P51/IPWM1

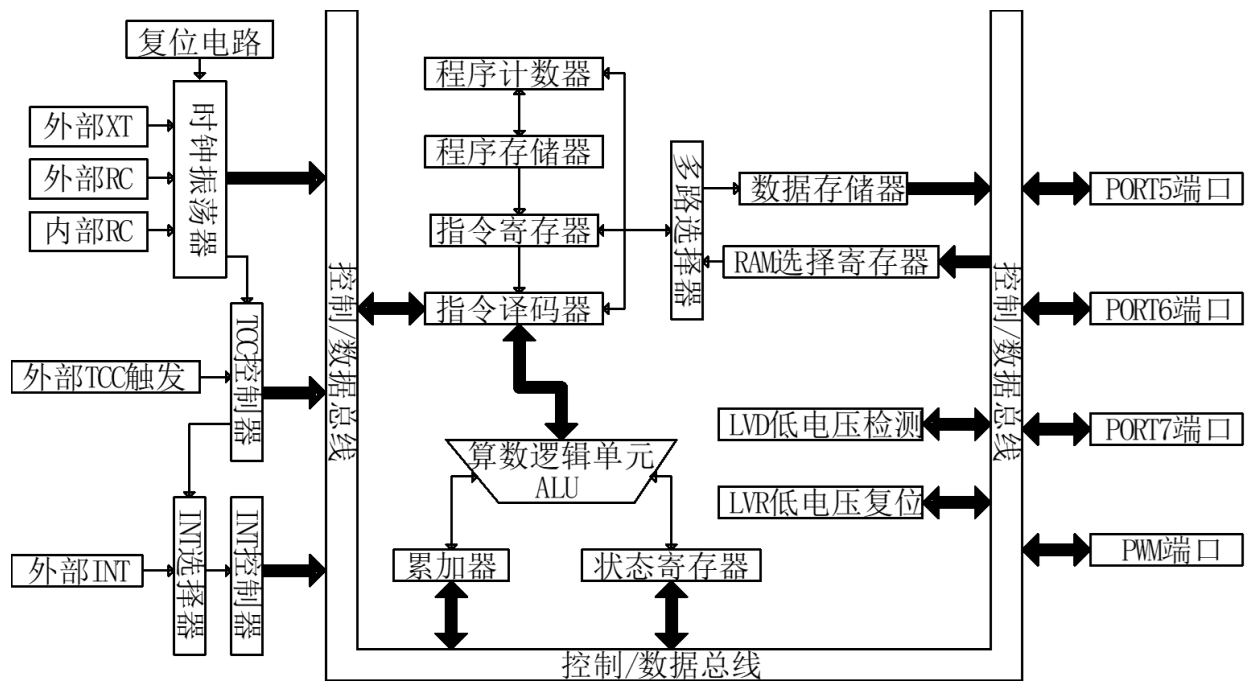
X8P1202B/D

X8P1202-8PIN 脚位图

1.3 引脚描述

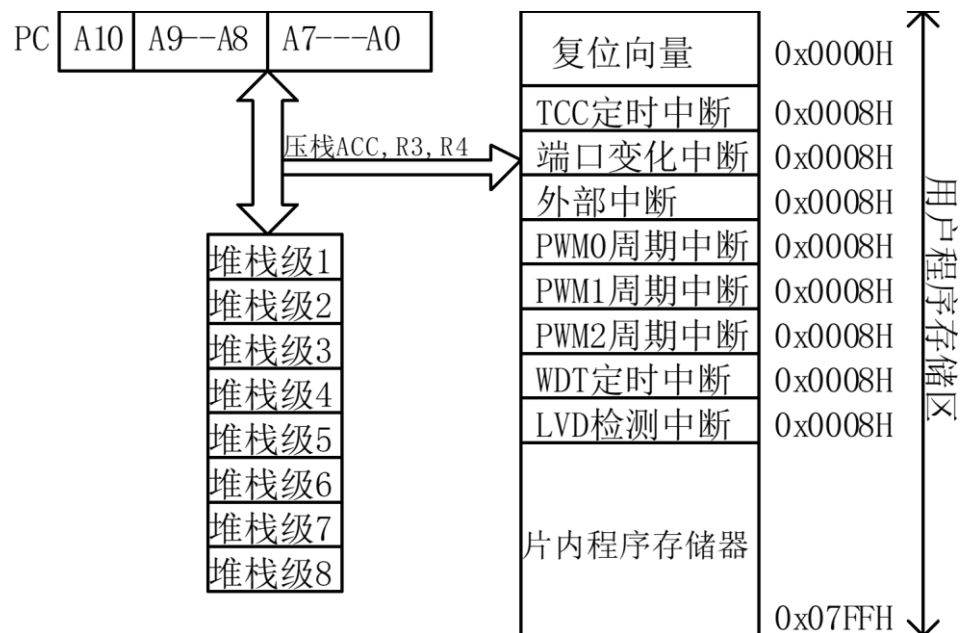
序号	管脚名	I/O	功能描述
P50	P50	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM2	CMOS 输出	PWM2 互补输出
P51	P51	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM1	CMOS 输出	PWM1 互补输出
P52	P52	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM0	CMOS 输出	PWM0 互补输出
P53	P53	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM2	CMOS 输出	PWM2 互补输出
P54	P54	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	TCC	I	外部 TCC 信号源输入脚
P55	P55	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	OSCO	O	振荡器输出口
P56	P56	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	OSCI	I	外部晶振振荡输入口
P57	P57	GPI	GPI, 可编程上拉、漏极开路、可编程输出驱动能力、端口唤醒
	RST	I	复位端口
	INT3	I	外部中断输入端口
P60	P60	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	INT0	I	外部中断输入端口
	PWM2	CMOS 输出	PWM2 输出
P61	P61	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	INT1	I	外部中断输入端口
	PWM1	O	PWM1 输出
P62	P62	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	PWM0	O	PWM0 输出
P63	P63	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	IPWM2	CMOS 输出	PWM2 互补输出
P64	P64	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	IPWM1	CMOS 输出	PWM1 互补输出
P65	P65	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	IPWM0	CMOS 输出	PWM0 互补输出
P66	P66	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	SPWM0	CMOS 输出	PWM0&PWM1 输出
P67	P67	I/O	GPIO, 可编程上下拉、漏极开路、可编程输出驱动能力、端口唤醒
	SPWM1	CMOS 输出	PWM0&PWM2 输出
P70	P70	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	IPWM1	CMOS 输出	PWM1 互补输出
P71	P71	I/O	GPIO, 可编程上下拉、可编程输出驱动能力、端口唤醒
	INT2	I	外部中断输入端口
	IPWM0	CMOS 输出	PWM0 互补输出
	VDD	--	电源
	GND	--	地

1.4 系统框图



2 存储器结构

2.1 程序存储器区



2.2 数据存储区

2.2.1 RPAGE\IOPAGE\Bank 数据寄存器区

地址	RPAGE 页面寄存器	IOPAGE 页面寄存器
0x00	间接寻址存储器	保留
0x01	TCC 定时计数器	CONT (控制寄存器)
0x02	PC 程序计数器	保留
0x03	STATUS 状态寄存器	保留
0x04	RAM 选择寄存器	保留
0x05	PORT5 数据寄存器	P5 方向控制寄存器
0x06	PORT6 数据寄存器	P6 方向控制寄存器
0x07	查表高位地址及 PORT7 数据寄存器	P7 方向控制寄存器
0x08	PWM0 控制寄存器	保留
0x09	PWM0 周期占空高位寄存器	P5/P6 端口下拉控制寄存器
0x0A	PWM0 周期低位寄存器	TCC 预分频器数据寄存器
0x0B	PWM0 占空低位寄存器	P5/P6 端口下拉控制寄存器
0x0C	查表地址低位寄存器	P6 端口开漏控制寄存器
0x0D	P6 端口变化唤醒使能控制寄存器	P6 端口上拉控制寄存器
0x0E	端口唤醒使能控制寄存器	WDT 控制寄存器
0x0F	中断标志寄存器	中断使能控制寄存器
地址	Bank 寄存器	
0x10 ~ 0x3F	通用寄存器	
0x40	PWM 死区控制寄存器	
0x41	PWM 极性及死区控制寄存器	
0x42	LVD 控制寄存器	
0x43	PWM 端口输出控制寄存器	
0x44	PWM 死区时钟及输出控制寄存器	
0x45	PWM1 控制寄存器	
0x46	PWM1-2 周期占空高位寄存器	
0x47	PWM1 周期低位寄存器	
0x48	PWM1 占空低位寄存器	
0x49	PWM2 控制寄存器	
0x4A	PWM2 周期低位寄存器	
0x4B	PWM2 占空低位寄存器	
0x4C	P5 上拉控制寄存器	
0x4D	P5 端口变化唤醒使能控制寄存器	
0x4E	P5/P6 端口驱动控制寄存器	
0x4F	查表高位数据寄存器	
0x60 ~ 0x7F	通用寄存器	

3 功能模块

3.1 操作寄存器

3.1.1 RPAGE~R0(间接寻址寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
R0<7:0>							

R0 间接寻址寄存器是一个虚拟的寄存器，是间接寻址的指针，对应的数值为 R4 寄存器数值

3.1.2 RPAGE~R1(TCC 数据计数器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 数据寄存器，可读可写

3.1.3 RPAGE~R2(PC 指针低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCL<7:0>							

PC 指针低位寄存器，可读可写

3.1.4 RPAGE~R3(STATUS 状态寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WKTP	GP1	GP0	T	P	Z	DC	C

Bit<7>:WKTP-唤醒类型标志位

0:复位唤醒

1:非复位唤醒

Bit<6>:GP1-通用读写位

Bit<5>:GP0-通用读写位

Bit<4>:T-时间溢出位

0:WDT 溢出

1:执行“SLEEP”和“WDTC”指令或低压复位

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 WDTC 指令	保持	1	1
执行 SLEEP 指令	保持	1	0

Bit<3>:P-掉电标志位

0:执行“SLEEP”指令

1:上电复位或执行“WDTC”指令

Bit<2>:Z-零标志位算术或逻辑操作结果为零时置为”1”

0:当算术或者逻辑运算结果不为0

1:当算术或者逻辑运算结果为0

Bit<1>:DC-辅助进位标志

0:执行加法运算时，低四位没有进位产生；/执行减法运算时，低四位产生借位

1:执行加法运算时，低四位有进位产生；/执行减法运算时，低四位没产生借位

Bit<0>:C-进位标志

0:执行加法运算时，高四位没有进位产生；/执行减法运算时，高四位产生借位

1:执行加法运算时，高四位有进位产生；/执行减法运算时，高四位没产生借位

3.1.5 RPAGE~R4(FSR RAM 选择寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1	FSR<6:0>						

Bit7:固定读为1

Bit<6:0>:FSR<6:0>-在间接寻址方式中用于选择 RAM 寄存器地址

FSR 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 FSR，然后通过访问间接寻址寄存器 R0，此时地址将指向 FSR 中对应地址的寄存器。

3.1.6 RPAGE~R5(PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

PORT5 数据寄存器，可读可写

3.1.7 RPAGE~R6(PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

PORT6 数据寄存器，可读可写

3.1.8 RPAGE~R7(PORT7 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TADH<11:8>				P7WK<1>	P7WK<0>	P71	P70

PORT7 数据寄存器，可读可写

Bit<7:4>:TADH<11:8>-查表指令高位地址设定

Bit<3:2>:P7WK<1:0>-P7 端口变化唤醒使能控制位

1:使能

0:禁止（默认）

Bit<1:0>:P7<1:0>-PORT7 数据寄存器

3.1.9 RPAGE~R8(PWM0 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOEN	PTOEN	PTOP<2:0>		IPWMO	PWMOCKS<0>		PWMOCS

Bit<7>:PWMOEN-PWMO 输出使能控制位

1:使能

0:禁止

Bit<6>:PT0EN-PWM0 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT0P<2:0>-PWM0 时钟分频控制位

PT0P<2>	PT0P<1>	PT0P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM0-PWM0 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM0CKS<0>-PWM0 时钟选择控制位，配合 PWM0CKS<1>选择使用

PWM0CKS<1:0> == 01:选择 Fcpu 作为 PWM1 时钟

PWM0CKS<1:0> == 00:选择 Fosc 作为 PWM1 时钟

PWM0CKS<1:0> == 10:选择低速晶振时钟（外接晶振），此配置下支持 PWM0 睡眠唤醒

Bit<0>:PWM0CS-PWM 级联使能控制

1:使能（PWM1 级联至 PWM0, PWM1 为低位, PWM0 为高位）

0:禁止

3.1.10 RPAGE~R9 (PWM0 周期占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0CKS<1>	GP	PDT0<9:8>		PWMWK<1:0>		PCY0<9:8>	

Bit<7>:PWM0CKS<1>-PWM0 时钟选择控制位，配合 PWM0CKS<0>选择使用

Bit<6>:GP-通用读写位

Bit<5:4>:PDT0<9:8>-PWM0 占空高两位数据

Bit<3:2>:PWMWK<1:0>-PWM 唤醒使能选择控制位（仅在 PWM0 选择低速晶振时钟时有效）

00:禁止使用

01:PWM0 周期匹配唤醒使能

10:PWM1 周期匹配唤醒使能（需配合 PWM2, PWM1 级联功能使用，与 PWM0, PWM2 级联）

11:PWM2 周期匹配唤醒使能（需配合 PWM2 级联功能使用，与 PWM0 级联）

Bit<1:0>:PCY1<9:8>-PWM0 周期高两位数据

3.1.11 RPAGE~RA (PWM0 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY0<7:0>							

Bit<7:0>:PCY1<7:0>-PWM0 周期低八位数据

3.1.12 RPAGE~RB (PWM0 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT0<7:0>							

Bit<7:0>:PDT1<7:0>-PWM0 占空低八位数据

3.1.13 RPAGE~RC (查表地址低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TADL<7:0>							

Bit<7:0>:TADL<7:0>-查表地址低八位

3.1.14 RPAGE~RD (P6 端口变化唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口变化唤醒使能

1:使能

0:禁止 (默认)

3.1.15 RPAGE~RE (唤醒使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	P5ICIF	P7ICIE	P5ICIE	EXWK	WDTWK	ICWE	LVDWK

Bit<7>:P7ICIF-P7 端口变化中断标志位

1:有中断

0:无中断

Bit<6>:P5ICIF-P5 端口变化中断标志位

1:有中断

0:无中断

Bit<5>:P7ICIE-P7 端口变化中断使能位

1:使能

0:禁止 (默认)

Bit<4>:P5ICIE-P5 端口变化中断使能位

1:使能

0:禁止 (默认)

Bit<3>:EXWK-外部中端口唤醒使能位

1:使能

0:禁止 (默认)

Bit<2>:WDTWK-WDT 溢出唤醒使能位

1:使能

0:禁止 (默认)

Bit<1>:ICWE-端口变化唤醒使能位

1:使能

0:禁止 (默认)

Bit<0>:LVDWK-LVD 唤醒使能位

1:使能

0:禁止 (默认)

3.1.16 RPAGE~RF (中断标志寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<7>:LVDIF-LVD 中断标志位

1:有中断

0:无中断

Bit<6>:WDTIF-WDT 中断标志位

1:有中断

0:无中断

Bit<5>:PWM2IF-PWM2 中断标志位

1:有中断

0:无中断

Bit<4>:PWM1IF-PWM1 中断标志位

1:有中断

0:无中断

Bit<3>:PWM0IF-PWM0 中断标志位

1:有中断

0:无中断

Bit<2>:EXIF-外部中断标志位

1:有中断

0:无中断

Bit<1>:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写，但只能写 0

3.1.17 RPAGE~R40 (PWM 死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADEN<2:0>			DEADCK	DEADTMS<3:0>			

Bit<7:5>:DEADEN<2:0>-PWM 死区使能控制位

DEADEN<0> PWM0 死区使能控制位

DEADEN<1> PWM1 死区使能控制位

DEADEN<2> PWM2 死区使能控制位

0:禁止

1:使能

Bit<4>:DEADCK-PWM 死区时钟选择

1:选择 Fcpu 作为死区时钟

0:选择 Fosc 作为死区时钟

Bit<3:0>:DEADTMS-PWM 死区时间设置

DEADTMS<3>	DEADTMS<2>	DEADTMS<1>	DEADTMS<0>	PWM 死区时间
0	0	0	1	1*TDck
0	0	1	0	2*TDck
0	0	1	1	3*TDck
0	1	0	0	4*TDck
0	1	0	1	5*TDck
0	1	1	0	6*TDck
0	1	1	1	7*TDck
1	0	0	0	8*TDck
1	0	0	1	9*TDck
1	0	1	0	10*TDck
1	0	1	1	11*TDck
1	1	0	0	12*TDck
1	1	0	1	13*TDck
1	1	1	0	14*TDck
1	1	1	1	15*TDck

3. 1. 18 RPAGE~R41 (PWM 极性 & 死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INVH<2:0>			INVL<2:0>			DIVCK<1:0>	

Bit<7:5>: INVH<2:0>-PWM 极性选择控制位

INVH<0> PWM0 极性选择控制位

INVH<1> PWM1 极性选择控制位

INVH<2> PWM2 极性选择控制位

0:Duty 高电平有效

1:Duty 低电平有效

Bit<4:2>: INVL<2:0>-IPWM 极性选择控制位

INVL<0> IPWM0 极性选择控制位

INVL<1> IPWM1 极性选择控制位

INVL<2> IPWM2 极性选择控制位

0:Duty 低电平有效

1:Duty 高电平有效

Bit<1:0>: DIVCK<1:0>-PWM 死区时钟分频选项控制位

DIVCK<1>	DIVCK<0>	分频系数
0	0	1
0	1	1/4
1	0	1/16
1	1	1/64

3. 1. 19 RPAGE~R42 (LVD 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXTWKF	EXSEL<1:0>		LVDF	LVDEN	LVDSEL<2:0>		

Bit<7>: LXTWKF-LXT 作为 PWM0 唤醒时钟时, 时钟有效性检查位 (只读)

Bit<6:5>: EXSEL<1:0>-外部中断端口选择位

00:P60 作为外部中断口

01:P61 作为外部中断口

10:P71 作为外部中断口

11:P57 作为外部中断口

Bit<4>:LVDF-LVD 电压标志位

1:VDD 电压低于预设值

0:VDD 电压高于预设值

Bit<3>:LVDEN-LVD 使能标志位

1:使能

0:禁止

Bit<2:0>:LVDSEL<2:0>-LVD 电压值选择控制位

LVDSEL<2:0>	电压检测点	LVDSEL<2:0>	电压检测点
000	2.0V	100	2.4V
001	3.0V	101	3.6V
010	2.2V	110	2.7V
011	3.3V	111	3.9V

3.1.20 RPAGE~R43 (PWM 端口输出控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPWM1	SPWM0	PWMOSEL<1:0>		GP	BUZ2EN	BUZ1EN	BUZOEN

Bit<7>:SPWM1-P67 输出功能选择

1:特殊输出口, 输出 PWM2&PWM0

0:通用输出口

Bit<6>:SPWM1-P66 输出功能选择

1:特殊输出口, 输出 PWM1&PWM0

0:通用输出口

Bit<5:4>:PWMOSEL<1:0>-PWM 输出通道选择

IPWMOSEL<1>	IPWMOSEL<0>	IPWM2	IPWM1	IPWM0	PWM2	PWM1	PWM0
0	0	P63	P64	P65	P60	P61	P62
0	1	P53	P70	P71	P60	P61	P62
1	0	P50	P51	P52	P60	P61	P62
1	1	-	-	-	P60	P61	P62

Bit<3>:GP-通用读写位

Bit<2>:BUZ2EN-BUZ2 蜂鸣器使能控制位

1:使能 PWM2 通道输出 BUZ 波形

0:禁止

Bit<1>:BUZ1EN-BUZ1 蜂鸣器使能控制位

1:使能 PWM1 通道输出 BUZ 波形

0:禁止

Bit<0>:BUZOEN-BUZ0 蜂鸣器使能控制位

1:使能 PWM0 通道输出 BUZ 波形

0:禁止

3.1.21 RPAGE~R44 (PWM 死区时钟及输出控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADDBEN	PWM2DBEN	PWM1DBEN	PWM0DBEN	BRKEN	PWMOUTEN<2:0>		

Bit<7>:DEADDBEN-死区时钟倍频控制位

0:使能（死区调节时钟加倍）

1:禁止

Bit<6>:PWM2DBEN-PWM2 时钟倍频控制位

0:使能（PWM2 时钟加倍）

1:禁止

Bit<5>:PWM1DBEN-PWM1 时钟倍频控制位

0:使能（PWM1 时钟加倍）

1:禁止

Bit<4>:PWM0DBEN-PWM0 时钟倍频控制位

0:使能（PWM0 时钟加倍）

1:禁止

Bit<3>:BRKEN-PWM 刹车使能控制位

1:使能（刹车事件（外部中断）发生后，硬件直接拉低 PWMOUTEN<2:0>, 对应端口切换为输出端口数据寄存器内容）

0:禁止

Bit<2:0>:PWMOUTEN<2:0>-PWM 输出使能控制位

1:输出 PWM 数据

0:输出对应端口数据寄存器内容

3.1.22 RPAGE~R45 (PWM1 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1EN	PT1EN	PT1P<2:0>			IPWM1	PWM1CK	PWM1CS

Bit<7>:PWM1EN-PWM1 输出使能控制位

1:使能

0:禁止

Bit<6>:PT1EN-PWM1 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT1P<2:0>-PWM1 时钟分频控制位

PT2P<2>	PT2P<1>	PT2P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM1-PWM1 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM1CK-PWM1CK 时钟选择位

1:选择 Fcpu 作为 PWM1 时钟

0:选择 Fosc 作为 PWM1 时钟

Bit<0>:PWM1CS-PWM 级联使能控制

1:使能 (PWM2 级联至 PWM1, PWM2 为低位, PWM1 为高位)

0:禁止

3.1.23 RPAGE~R46 (PWM1-2 周期占空高位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT2<9:8>		PDT1<9:8>		PCY2<9:8>		PCY1<9:8>	

Bit<7:6>:PDT2<9:8>-PWM2 占空高两位数据

Bit<5:4>:PDT1<9:8>-PWM1 占空高两位数据

Bit<3:2>:PCY2<9:8>-PWM2 周期高两位数据

Bit<1:0>:PCY1<9:8>-PWM1 周期高两位数据

3.1.24 RPAGE~R47 (PWM1 周期低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY1<7:0>							

Bit<7:0>:PCY2<7:0>-PWM1 周期低八位数据

3.1.25 RPAGE~R48 (PWM1 占空低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT1<7:0>							

Bit<7:0>:PDT2<7:0>-PWM1 占空低八位数据

3.1.26 RPAGE~R49 (PWM2 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2EN	PT2EN	PT2P<2:0>			IPWM2	PWM2CK	PWM2CS

Bit<7>:PWM2EN-PWM2 输出使能控制位

1:使能

0:禁止

Bit<6>:PT2EN-PWM2 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT2P<2:0>-PWM2 时钟分频控制位

PT2P<2>	PT2P<1>	PT2P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM2-PWM2 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM2CK-PWM2CK 时钟选择

1:选择 Fcpu 作为 PWM2 时钟

0:选择 Fosc 作为 PWM2 时钟

Bit<0>:PWM2CS-PWM 级联使能控制

1:使能 (PWM0 级联至 PWM2, PWM0 为低位, PWM2 为高位)

0:禁止

3.1.27 RPAGE~R4A (PWM2 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY2<7:0>							

Bit<7:0>:PCY2<7:0>-PWM2 周期低八位数据

3.1.28 RPAGE~R4B (PWM2 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT2<7:0>							

Bit<7:0>:PDT2<7:0>-PWM2 占空低八位数据

3.1.29 RPAGE~R4C (P5 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Port5 端口上拉控制

0:使能

1:禁止 (默认)

3.1.30 RPAGE~R4D (P5 端口变化唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WK<7>	P5WK<6>	P5WK<5>	P5WK<4>	P5WK<3>	P5WK<2>	P5WK<1>	P5WK<0>

Bit<7:0>:P5WK<7:0>-P5 端口变化唤醒使能位

1:使能 ;0:禁止 (默认)

3.1.31 RPAGE~R4E (P5/P6 端口驱动控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<3:0>				P5HD<3:0>			

Bit<7:4>:P6HD<3:0>-P6 端口驱动控制位

P6HD<3>:控制 P6<7:6>输出驱动能力选择;P6HD<2>:控制 P6<5:4>输出驱动能力选择

P6HD<1>:控制 P6<3:2>输出驱动能力选择;P6HD<0>:控制 P6<1:0>输出驱动能力选择

Bit<3:0>:P5HD<3:0>-P5 端口驱动控制位

P5HD<3>:控制 P5<7:6>输出驱动能力选择;P5HD<2>:控制 P5<5:4>输出驱动能力选择

P5HD<1>:控制 P5<3:2>输出驱动能力选择;P5HD<0>:控制 P5<1:0>输出驱动能力选择

1:正常 (默认);0:增强

3.1.32 RPAGE~R4F (查表数据高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	TDAH<13:8>					

Bit<7:6>:通用读写位

Bit<5:0>:TDAH<13:8>-查表数据高六位

3.2 控制寄存器

3.2.1 CONT（控制寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EIE	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:EIE-外部中断沿选择控制位

- 1:外部中断源选择上升沿
- 0:外部中断源选择下降沿

Bit<6>:INT-全局中断使位

- 1:通过 ENI/RETI 设置位 1
- 0:通过 DISI 或者中断实现清零

Bit<5>:TS-TCC 信号源选择位

- 0:内部指令周期时钟作为 TCC 时钟源
- 1:外部输入信号（P54 需要设置为输入口）

Bit<4>:TE-TCC 信号边沿选择位

- 0:TCC 引脚信号发生由低到高变化加 1
- 1:TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-TCC 预分频器使能控制

- 1:使能，分频系数由 PSR<2:0>决定
- 0:禁止，TCC 不分频

Bit<2:0>:PSR<2:0>-预分频选择控制位:

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

3.2.2 IOPAGE~IOC5(P5 方向控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7>	P5CR<6>	P5CR<5>	P5CR<4>	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

- 1:输入（默认）
- 0:输出

3.2.3 IOPAGE~IOC6(P6 方向控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入（默认）
0:输出

3.2.4 IOPAGE~IOC7(P7 方向控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7PD<1:0>		P7PH<1:0>		P7HD<1:0>		P7CR<1:0>	

Bit<7:6>:P7PD<1:0>-P7 下拉使能控制位

0:使能
1:禁止（默认）

Bit<5:4>:P7PH<1:0>-P7 上拉使能控制位

0:使能
1:禁止（默认）

Bit<3:2>:P7HD<1:0>-P7 端口驱动使能控制位

0:增强
1:正常（默认）

Bit<1:0>:P7CR<1:0>-P7 方向控制位

0:输出
1:输入（默认）

3.2.5 IOPAGE~IOC9(P5/P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7:4>				GP	P5PD<6:4>		

Bit<7:4>:P6PD<7:4>-P64~P67 下拉使能控制位

0:使能
1:禁止（默认）

Bit<3>:GP-通用读写位

Bit<2:0>:P5PD<6:4>-P54~P56 下拉使能控制位

0:使能
1:禁止（默认）

3.2.7 IOPAGE~IOCB(P5/P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<3:0>				P5PD<3:0>			

Bit<7:4>:P6PD<3:0>-P60~P63 下拉使能控制位

0:使能
1:禁止（默认）

Bit<3:0>:P5PD<3:0>-P50~P53 下拉使能控制位

0:使能
1:禁止（默认）

3.2.8 IOPAGE~IOCC(P6 端口开漏控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P60D<7>	P60D<6>	P60D<5>	P60D<4>	P60D<3>	P60D<2>	P60D<1>	P60D<0>

Port6 端口开漏功能控制

- 1:使能
0:禁止（默认）

3.2.9 IOPAGE～IOCD(P6 端口上拉控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 端口上拉控制

- 0:使能
1:禁止（默认）

3.2.10 IOPAGF～IOCE(WDT 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	—	ROC	PSWE	PSW<2:0>		

Bit<7>:WDTEN-WDT 使能控制位

- 1:使能
0:禁止（默认）

Bit<6>:EIS-P60 外部中断使能控制位

- 1:使能
0:禁止（默认）

Bit<4>:ROC-ROC-R 功能使能控制

- 1:使能，P5<1:0>弱上拉开启
0:禁止（默认）

Bit<3>:PSW-WDT 预分频器使能控制

- 1:使能，分频系数由 PSW<2:0>决定
0:禁止，WDT 时钟不分频

Bit<2:0>PSW<2:0>-WDT 时钟分频系数选择

PSW2	PSW1	PSW0	WDT 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

3.2.10 IOPAGF～IOCF(中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit7:LVDIE-LVD 中断使能控制位

- 1:使能
0:禁止（默认）

注：当 VDD 电压高于设定值时或者当 VDD 电压低于设定值时，LVD 都会进入中断；

Bit6:WDTIE-WDT 中断使能控制位

1:使能

0:禁止（默认）

Bit5:PWM2IE-PWM2 中断使能控制位

1:使能

0:禁止（默认）

Bit4:PWM1IE-PWM1 中断使能控制位

1:使能

0:禁止（默认）

Bit3:PWM0IE-PWM0 中断使能控制位

1:使能

0:禁止（默认）

Bit2:EXIE-外部中断使能控制位

1:使能

0:禁止（默认）

Bit1:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止（默认）

Bit0:TCIE-TCC 溢出中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

3.3 GPIO 功能模块

X8P1202 有 3 组双向 I/O 端口，共 18 个输入，17 个输出+1 个开漏输出，大部分 I/O 可以复用为其它功能；

18 个可编程上拉 I/O 引脚:P50~P57, P60~P67, P70~P71；

17 个可编程下拉 I/O 引脚:P50~P56, P60~P67, P70~P71；

18 个可编程驱动增强 I/O 引脚:P50~P57, P60~P67, P70~P71；

8 个可编程漏极开路 I/O 引脚:P60~P67；

端口输入特性表格如下：

端口	SMT	HSMT	EMT	INV
P50~P54	0.5VDD/0.25VDD	0.8VDD/0.2VDD	0.3VDD	0.5VDD
P55~P56	0.55VDD/0.25VDD	0.8VDD/0.2VDD	0.3VDD	0.5VDD
P57	0.5VDD/0.25VDD	0.8VDD/0.2VDD	0.3VDD	0.5VDD
P60~P67	0.5VDD/0.25VDD	0.8VDD/0.2VDD	0.3VDD/0.2VDD	0.5VDD
P70~P71	0.5VDD/0.25VDD	0.8VDD/0.2VDD	0.3VDD	0.5VDD

3.3.1 GPIO 寄存器说明

RPAGE~R5 (PORT5 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P57	P56	P55	P54	P53	P52	P51	P50

PORT5 数据寄存器，可读可写

RPAGE~R6 (PORT6 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P67	P66	P65	P64	P63	P62	P61	P60

PORT6 数据寄存器，可读可写

RPAGE~R7 (PORT7 数据寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TADH<11:8>				P7WK<1>	P7WK<0>	P71	P70

PORT7 数据寄存器，可读可写

Bit<3:2>:P7WK<1:0>-P7 端口变化唤醒使能控制位

1:使能

0:禁止（默认）

Bit<1:0>:P7<1:0>-PORT7 数据寄存器

IOPAGE~IOC5 (P5 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5CR<7>	P5CR<6>	P5CR<5>	P5CR<4>	P5CR<3>	P5CR<2>	P5CR<1>	P5CR<0>

Port5 方向控制位

1:输入（默认）

0:输出

IOPAGE~IOC6 (P6 方向控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6CR<7>	P6CR<6>	P6CR<5>	P6CR<4>	P6CR<3>	P6CR<2>	P6CR<1>	P6CR<0>

Port6 方向控制位

1:输入（默认）

0:输出

IOPAGE~IOC7 (P7 方向控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7PD<1:0>		P7PH<1:0>		P7HD<1:0>		P7CR<1:0>	

Bit<7:6>:P7PD<1:0>-P7 下拉使能控制位

0:使能

1:禁止（默认）

Bit<5:4>:P7PH<1:0>-P7 上拉使能控制位

0:使能

1:禁止（默认）

Bit<3:2>:P7HD<1:0>-P7 端口驱动使能控制位

0:增强

1:正常（默认）

Bit<1:0>:P7CR<1:0>-P7 方向控制位

0:输出

1:输入（默认）

IOPAGE~IOC9 (P5/P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<7:4>				GP	P5PD<6:4>		

Bit<7:4>:P6PD<7:4>-P64~P67 下拉使能控制位

0:使能

1:禁止（默认）

Bit<3>:GP-通用读写位

Bit<2:0>:P5PD<6:4>-P54~P56 下拉使能控制位

0:使能

1:禁止（默认）

IOPAGE~IOCB (P5/P6 下拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PD<3:0>				P5PD<3:0>			

Bit<7:4>:P6PD<3:0>-P60~P63 下拉使能控制位

0:使能

1:禁止（默认）

Bit<3:0>:P5PD<3:0>-P50~P53 下拉使能控制位

0:使能

1:禁止（默认）

IOPAGE~IOCC (P6 端口开漏控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P60D<7>	P60D<6>	P60D<5>	P60D<4>	P60D<3>	P60D<2>	P60D<1>	P60D<0>

Port6 端口开漏功能控制

1:使能

0:禁止（默认）

IOPAGE~IOCD (P6 端口上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6PH<7>	P6PH<6>	P6PH<5>	P6PH<4>	P6PH<3>	P6PH<2>	P6PH<1>	P6PH<0>

Port6 端口上拉控制

0:使能

1:禁止 (默认)

RPAGE~R4C (P5 端口上拉控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5PH<7>	P5PH<6>	P5PH<5>	P5PH<4>	P5PH<3>	P5PH<2>	P5PH<1>	P5PH<0>

Port5 端口上拉控制

0:使能

1:禁止 (默认)

RPAGE~R4E (P5/P6 端口驱动控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6HD<3:0>				P5HD<3:0>			

Bit<7:4>:P6HD<3:0>-P6 端口驱动控制位

P6HD<3>:控制 P6<7:6>输出驱动能力选择

P6HD<2>:控制 P6<5:4>输出驱动能力选择

P6HD<1>:控制 P6<3:2>输出驱动能力选择

P6HD<0>:控制 P6<1:0>输出驱动能力选择

Bit<3:0>:P5HD<3:0>-P5 端口驱动控制位

P5HD<3>:控制 P5<7:6>输出驱动能力选择

P5HD<2>:控制 P5<5:4>输出驱动能力选择

P5HD<1>:控制 P5<3:2>输出驱动能力选择

P5HD<0>:控制 P5<1:0>输出驱动能力选择

1:正常 (默认)

0:增强

3.4 TCC 定时器功能模块

TCC 是一个 8 位定时/计数器，TCC 时钟源可以选择内部时钟或外部输入信号（由 TCC 引脚输入，触发沿可以选择）。如果是内部时钟作为 TCC 时钟源，每个指令周期 TCC 加一（无预分频比）。指令周期是几个时钟周期由 CODE OPTION 中选择几个 CLKS 决定。如果 TCC 选择外部时钟输入作为 TCC 时钟源，TCC 将在 TCC 引脚输入每个下降沿或上升沿加 1。

3.4.1 TCC 定时器寄存器说明

CONT（控制寄存器）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EIE	INT	TS	TE	PAB	PSR2	PSR1	PSR0

Bit<7>:EIE-外部中断沿选择控制位

1:外部中断源选择上升沿

0:外部中断源选择下降沿

Bit<6>:INT-全局中断使位

1:通过 ENI/RETI 设置位 1

0:通过 DISI 或者中断实现清零

Bit<5>:TS-TCC 信号源选择位

0:内部指令周期时钟作为 TCC 时钟源

1:外部输入信号（P54 需要设置为输入口）

Bit<4>:TE-TCC 信号边沿选择位

0:TCC 引脚信号发生由低到高变化加 1

1:TCC 引脚信号发生由高到低变化加 1

Bit<3>:PAB-TCC 预分频器使能控制

1:使能，分频系数由 PSR<2:0>决定

0:禁止，TCC 不分频

Bit<2:0>:PSR<2:0>-预分频选择控制位：

PSR2	PSR1	PSR0	TCC 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

CONT 为可读可写寄存器

RPAGE~R1 (TCC 数据计数器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCC<7:0>							

TCC 数据寄存器，可读可写

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写，但只能写 0

IOPAGF~IOCF (中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit<0>:TCIE-TCC 溢出中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

3.4.2 TCC 定时设置说明

- 1、给 TCC 寄存器赋初始值；
- 2、设置 CONT 寄存器的值（选择作为计时器或计数器及预分频比）；
- 3、作为计数器使用，需要在 CONT 寄存器选择 TCC 外部信号为正沿或负沿加 1；
- 4、若需要执行中断功能，须设置 IOCF 寄存器中的 TCIE（Bit0）为 1，并执行 ENI 指令；
- 5、中断程序部分需手动保存 ACC、R3、R4 寄存器的值，执行 RETI 指令后，退出中断前要清楚 TCC 中断标志位，并手动恢复保存 ACC、R3、R4 寄存器的值。

3.5 WDT 看门狗功能模块

WDT 有一个自由运行的片内 RC 振荡器，当 CUP 时钟关闭（即休眠模式）后，WDT 还可以继续运行。无论是普通模式还是休眠模式，WDT 定时溢出将使 MCU 复位（若 WDT 使能）。WDT 可在正常模式下由软件设置禁止或使能。

如果要使能 WDT 功能，则必需先在 Code Option 寄存器的 WDT 位选 Enable，然后在 WDT 控制寄存器中的 WDTEN 位选择“1”，两个条件缺一不可。

3.5.1 WDT 看门狗寄存器说明

RPAGE~RF(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<6>:WDTIF-WDT 中断标志位

1:有中断

0:无中断

IOPAGF~IOCE(WDT 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	EIS	-	ROC	PSWE	PSW<2:0>		

Bit<7>:WDTEN-WDT 使能控制位

1:使能

0:禁止（默认）

Bit<3>:PSW-WDT 预分频器使能控制

1:使能，分频系数由 PSW<2:0>决定

0:禁止，WDT 时钟不分频

Bit<2:0>PSW<2:0>-WDT 时钟分频系数选择

PSW2	PSW1	PSW0	WDT 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

IOPAGF~IOCF(中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit<6>:WDTIE-WDT 中断使能控制位

1:使能

0:禁止（默认）

3.5.2 WDT 看门狗设置说明

WDT 看门狗溢出唤醒复位

- 1、设定 IOCE 寄存器中 Bit7(WDTEN)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 IOCE 寄存器的 Bit3~Bit0 位；
- 3、设置 OPTION 中，看门狗选项使能；
- 4、当 WDT 溢出唤醒后，系统进入复位状态。

WDT 看门狗溢出唤醒中断

- 1、设定 IOCE 寄存器中 Bit7(WDTEN)位，选择是否使用 WDT；
- 2、设定预分频系数，即设定 IOCE 寄存器的 Bit3~Bit0 位，且分频比一定大于 1:1；
- 3、设置 OPTION 中，看门狗选项使能；
- 4、设置 IOCF 寄存器中的 WDTEN (Bit6) 为 1，并执行 ENI 指令；
- 5、当 WDT 溢出唤醒后，系统进入中断状态。

注意:当 WDT 溢出唤醒中断使用计数功能时，WDT 预分频一定要大于 1:1.

3.6 端口状态改变唤醒功能模块

3.6.1 睡眠唤醒方式说明

芯片执行“SLEEP”指令可以转到休眠模式（低功耗模式）。进入休眠模式时，系统时钟停止，所有模块停止工作，WDT（若使能）清0，但继续运行。

单片机可被如下情况唤醒：

- 1、RST 脚输入低电平唤醒；
- 2、WDT 溢出唤醒；
- 3、端口状态改变唤醒；
- 4、WDT 中断唤醒；
- 5、LVD 低压检测唤醒；
- 6、外部引脚中断唤醒；

前 2 种唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序。

后 4 种唤醒方式则保持了程序的延续性，可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转（SLEEP 前执行 ENI），并打开相应的使能控制位，跳转到中断向量的位置。本模块主要说明端口变化唤醒，其他唤醒方式在相应模块中会有说明。

3.6.2 端口状态改变唤醒寄存器说明

RPAGE~R7 (PORT7 数据寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TADH<11:8>				P7WK<1>	P7WK<0>	P71	P70

Bit<3:2>:P7WK<1:0>-P7 端口变化唤醒使能

1:使能

0:禁止（默认）

RPAGE~RD (P6 端口变化唤醒使能寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P6WK<7>	P6WK<6>	P6WK<5>	P6WK<4>	P6WK<3>	P6WK<2>	P6WK<1>	P6WK<0>

Bit<7:0>:P6WK<7:0>-P6 端口变化唤醒使能

1:使能

0:禁止（默认）

RPAGE~RE (唤醒使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	P5ICIF	P7ICIE	P5ICIE	EXWK	WDTWK	ICWE	LVDWK

Bit<7>:P7ICIF-P7 端口变化中断标志位

1:有中断

0:无中断

Bit<6>:P5ICIF-P5 端口变化中断标志位

1:有中断

0:无中断

Bit<5>:P7ICIE-P7 端口变化中断使能位

1:使能

0:禁止（默认）

Bit<4>:P5ICIE-P5 端口变化中断使能位

1:使能

0:禁止（默认）

Bit<3>:EXWK-外部中端口唤醒使能位

1:使能

0:禁止（默认）

Bit<2>:WDTWK-WDT 溢出唤醒使能位

1:使能

0:禁止（默认）

Bit<1>:ICWE-端口变化唤醒使能位

1:使能

0:禁止（默认）

Bit<0>:LVDWK-LVD 唤醒使能位

1:使能

0:禁止（默认）

RPAGE~RF(中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<1>:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

RF 寄存器可读可写，但只能写 0

IOPAGF~IOCF(中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit<1>:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

RPAGE~R4D(P5 端口变化唤醒使能寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P5WK<7>	P5WK<6>	P5WK<5>	P5WK<4>	P5WK<3>	P5WK<2>	P5WK<1>	P5WK<0>

Bit<7:0>:P5WK<7:0>-P5 端口变化唤醒使能位

1:使能

0:禁止（默认）

3.6.3 端口状态改变查询方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能 PORT 端口状态改变中断；
- 5、使能端口状态改变独立中断及唤醒控制；
- 6、执行 DISI 指令，不进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X06, 0X06）；
- 8、执行“SLEP”指令，进入睡眠 SLEEP 模式；
- 9、唤醒后，执行 SLEP 的下一条指令。

3.6.4 端口状态改变中断方式唤醒设置

- 1、PORT 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、WDT 预分频的设置必须大于 1:1, 禁止 WDT；
- 4、使能端口状态改变独立中断及唤醒控制；
- 5、使能 PORT 端口状态改变中断；
- 6、执行“ENI”指令，等待进入中断地址口；
- 7、读取 PORT 端口（如 MOV 0X06, 0X06）；
- 8、执行“SLEP”指令，进入睡眠 SLEEP 模式；
- 9、唤醒后会进入中断地址口，退出中断后，执行 SLEP 下一条指令。

3.7 LVD 电压检测功能模块

X8P1202 具有低电压检测功能，总共可编程选择 8 个电压值，当 CPU 工作电压下降到或上升到设定值时，CPU 即置中断标志位而发生中断（若使能 LVD 中断），且 LVDF 位被置 1。

3.7.1 LVD 电压检测寄存器说明

RPAGE~RE (唤醒使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	P5ICIF	P7ICIE	P5ICIE	EXWK	WDTWK	ICWE	LVDWK

Bit<0>:LVDWK-LVD 唤醒使能位

1:使能

0:禁止（默认）

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<7>:LVDIF-LVD 中断标志位

1:有中断

0:无中断

注:当 VDD 电压高于设定值时或者当 VDD 电压低于设定值时，LVDIF 标志位都会置 1；

RF 寄存器可读可写，但只能写 0

RPAGE~R42 (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXTWKF	EXSEL<1:0>		LVDF	LVDEN	LVDSEL<2:0>		

Bit<4>:LVDF-LVD 电压标志位

1:VDD 电压低于预设值

0:VDD 电压高于预设值

Bit<3>:LVDEN-LVD 使能标志位

1:使能

0:禁止

Bit<2:0>:LVDSEL<2:0>-LVD 电压值选择控制位

LVDSEL<2:0>	电压检测点	LVDSEL<2:0>	电压检测点
000	2.0V	100	2.4V
001	3.0V	101	3.6V
010	2.2V	110	2.7V
011	3.3V	111	3.9V

IOPAGF~IOCF (中断使能控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit<7>:LVDIE-LVD 中断使能控制位

1:使能

0:禁止（默认）

注:当 VDD 电压高于设定值时或者当 VDD 电压低于设定值时，LVD 都会进入中断；

IOCF 寄存器可读可写

3.7.2 LVD 电压检测查询方式设置说明

- 1、设定 LVD 的电压值 (RPAGE~R42 寄存器的 LVDSEL<2:0>) ;
- 2、使能 LVD 功能 (RPAGE~R42 寄存器 LVDEN 位);
- 3、将 OPTION 中的电压检测选择 AS LVD;
- 4、用 IOR 指令读取 RPAGE~R42 寄存器的值, 并赋值到通用寄存器;
- 5、判断通用寄存器中, RPAGE~R42 寄存器的 LVDF 位, 执行相应的动作。

3.7.3 LVD 电压检测中断设置说明

- 1、设定 LVD 的电压值 (RPAGE~R42 寄存器的 LVDSEL<2:0>) ;
- 2、使能 LVD 功能 (RPAGE~R42 寄存器 LVDEN 位);
- 3、将 OPTION 中的电压检测选择 AS LVD;
- 4、使能 LVD 中断 (IOPAGE~IOCF 寄存器的 LVDIE 位), 执行 “ENI” 指令;
- 5、在中断查询 LVDIF 位为 1 后, 再判断 RPAGE~R42 寄存器 LVDF 位, 执行相应的动作。

3.7.4 LVD 电压检测唤醒设置说明

- 1、设定 LVD 的电压值 (RPAGE~R42 寄存器的 LVDSEL<2:0>) ;
- 2、使能 LVD 功能 (RPAGE~R42 寄存器 LVDEN 位);
- 3、将 OPTION 中的电压检测使能 (程序中看门狗要禁止掉);
- 4、使能 LVD 唤醒 (RPAGE~RE 寄存器的 LVDWK 位), 执行 “DISI” 指令;
- 5、进入 SLEEP 睡眠;
- 6、当电源电压低于或者高于设定电压时, MCU 被唤醒, 再判断 RPAGE~R42 寄存器 LVDF 位, 执行相应的动作。

3.8 PWM 脉宽调制功能模块

X8P1202 内置 3 个带预分频器的计数器，用来产生脉宽调制信号，其中 PWM0、PWM1 和 PWM2 都是 10Bit 精度。PWM 输出波形由周期及占空因数决定，传输速率为周期倒数。另外 X8P1202 具有 2 路 SPWM1 和 SPWM2 逻辑与输出，PWM 还有互补输出，死区保护，倍频，级联，刹车功能。

3.8.1 PWM 脉宽调制寄存器说明

RPAGE~R8 (PWM0 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOEN	PTOEN	PTOP<2:0>			IPWM0	PWMOCKS<0>	PWMOCS

Bit<7>:PWMOEN-PWM0 输出使能控制位

1:使能

0:禁止

Bit<6>:PTOEN-PWM0 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PTOP<2:0>-PWM0 时钟分频控制位

PTOP<2>	PTOP<1>	PTOP<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM0-PWM0 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWMOCKS<0>-PWM0 时钟选择控制位，配合 PWMOCKS<1>选择使用

PWMOCKS<1:0> == 01:选择 Fcpu 作为 PWM1 时钟

PWMOCKS<1:0> == 00:选择 Fosc 作为 PWM1 时钟

PWMOCKS<1:0> == 10:选择低速晶振时钟（外接晶振），此配置下支持 PWM0 睡眠唤醒

醒

Bit<0>:PWMOCS-PWM 级联使能控制

1:使能（PWM1 级联至 PWM0, PWM1 为低位, PWM0 为高位）

0:禁止

RPAGE~R9 (PWM0 周期占空高位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMOCKS<1>	GP	PDT0<9:8>		PWMWK<1:0>		PCY0<9:8>	

Bit<7>:PWMOCKS<1>-PWM0 时钟选择控制位，配合 PWMOCKS<0>选择使用

Bit<5:4>:PDT0<9:8>-PWM0 占空高两位数据

Bit<3:2>:PWMWK<1:0>-PWM 唤醒使能选择控制位（仅在 PWM0 选择低速晶振时钟时有效）

00:禁止使用

01:PWM0 周期匹配唤醒使能

10:PWM1 周期匹配唤醒使能（需配合 PWM2, PWM1 级联功能使用, 与 PWM0, PWM2 级联）

11:PWM2 周期匹配唤醒使能（需配合 PWM2 级联功能使用, 与 PWM0 级联）

Bit<1:0>:PCY1<9:8>-PWM0 周期高两位数据

RPAGE~RA (PWM0 周期低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY0<7:0>							

Bit<7:0>:PCY1<7:0>-PWM0 周期低八位数据

RPAGE~RB (PWM0 占空低位寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT0<7:0>							

Bit<7:0>:PDT1<7:0>-PWM0 占空低八位数据

RPAGE~RF (中断标志寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<5>:PWM2IF-PWM2 中断标志位

1:有中断

0:无中断

Bit<4>:PWM1IF-PWM1 中断标志位

1:有中断

0:无中断

Bit<3>:PWM1IF-PWM0 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写, 但只能写 0

RPAGE~R40 (PWM 死区控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADEN<2:0>			DEADCK	DEADTMS<3:0>			

Bit<7:5>:DEADEN<2:0>-PWM 死区使能控制位

DEADEN<0> PWM0 死区使能控制位

DEADEN<1> PWM1 死区使能控制位

DEADEN<2> PWM2 死区使能控制位

0:禁止

1:使能

Bit<4>:DEADCK-PWM 死区时钟选择

1:选择 Fcpu 作为死区时钟

0:选择 Fosc 作为死区时钟

Bit<3:0>:DEADTMS-PWM 死区时间设置

DEADTMS<3>	DEADTMS<2>	DEADTMS<1>	DEADTMS<0>	PWM 死区时间
0	0	0	1	1*TDck
0	0	1	0	2*TDck
0	0	1	1	3*TDck
0	1	0	0	4*TDck

0	1	0	1	5*TDck
0	1	1	0	6*TDck
0	1	1	1	7*TDck
1	0	0	0	8*TDck
1	0	0	1	9*TDck
1	0	1	0	10*TDck
1	0	1	1	11*TDck
1	1	0	0	12*TDck
1	1	0	1	13*TDck
1	1	1	0	14*TDck
1	1	1	1	15*TDck

RPAGE~R41 (PWM 极性 & 死区控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INVH<2:0>			INVL<2:0>			DIVCK<1:0>	

Bit<7:5>: INVH<2:0>-PWM 极性选择控制位

INVH<0> PWM0 极性选择控制位

INVH<1> PWM1 极性选择控制位

INVH<2> PWM2 极性选择控制位

0:Duty 高电平有效

1:Duty 低电平有效

Bit<4:2>: INVL<2:0>-IPWM 极性选择控制位

INVL<0> IPWM0 极性选择控制位

INVL<1> IPWM1 极性选择控制位

INVL<2> IPWM2 极性选择控制位

0:Duty 低电平有效

1:Duty 高电平有效

Bit<1:0>: DIVCK<1:0>-PWM 死区时钟分频选项控制位

DIVCK<1>	DIVCK<0>	分频系数
0	0	1
0	1	1/4
1	0	1/16
1	1	1/64

RPAGE~R43 (PWM 端口输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPWM1	SPWM0	PWMOSEL<1:0>		GP	BUZ2EN	BUZ1EN	BUZOEN

Bit<7>: SPWM1-P67 输出功能选择

1:特殊输出口, 输出 PWM2&PWM0

0:通用输出口

Bit<6>: SPWM1-P66 输出功能选择

1:特殊输出口, 输出 PWM1&PWM0

0:通用输出口

Bit<5:4>: PWMOSEL<1:0>-PWM 输出通道选择

IPWMOSEL<1>	IPWMOSEL<0>	IPWM2	IPWM1	IPWM0	PWM2	PWM1	PWM0
0	0	P63	P64	P65	P60	P61	P62
0	1	P53	P70	P71	P60	P61	P62

1	0	P50	P51	P52	P60	P61	P62
1	1	—	—	—	P60	P61	P62

Bit<3>:GP-通用读写位

Bit<2>:BUZ2EN-BUZ2 蜂鸣器使能控制位

1:使能 PWM2 通道输出 BUZ 波形

0:禁止

Bit<1>:BUZ1EN-BUZ1 蜂鸣器使能控制位

1:使能 PWM1 通道输出 BUZ 波形

0:禁止

Bit<0>:BUZOEN-BUZO 蜂鸣器使能控制位

1:使能 PWM0 通道输出 BUZ 波形

0:禁止

RPAGE~R44 (PWM 死区时钟及输出控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEADBEN	PWM2DBEN	PWM1DBEN	PWM0DBEN	BRKEN	PWMOUTEN<2:0>		

Bit<7>:DEADBEN-死区时钟倍频控制位

0:使能（死区调节时钟加倍）

1:禁止

Bit<6>:PWM2DBEN-PWM2 时钟倍频控制位

0:使能（PWM2 时钟加倍）

1:禁止

Bit<5>:PWM1DBEN-PWM1 时钟倍频控制位

0:使能（PWM1 时钟加倍）

1:禁止

Bit<4>:PWM0DBEN-PWM0 时钟倍频控制位

0:使能（PWM0 时钟加倍）

1:禁止

Bit<3>:BRKEN-PWM 刹车使能控制位

1:使能（刹车事件（外部中断）发生后，硬件直接拉低 PWMOUTEN<2:0>, 对应端口切换为输出端口数据寄存器内容）

0:禁止

Bit<2:0>:PWMOUTEN<2:0>-PWM 输出使能控制位

1:输出 PWM 数据

0:输出对应端口数据寄存器内容

RPAGE~R45 (PWM1 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1EN	PT1EN	PT1P<2:0>			IPWM1	PWM1CK	PWM1CS

Bit<7>:PWM1EN-PWM1 输出使能控制位

1:使能

0:禁止

Bit<6>:PT1EN-PWM1 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT1P<2:0>-PWM1 时钟分频控制位

PT2P<2>	PT2P<1>	PT2P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM1-PWM1 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM1CK-PWM1CK 时钟选择位

1:选择 Fcpu 作为 PWM1 时钟

0:选择 Fosc 作为 PWM1 时钟

Bit<0>:PWM1CS-PWM 级联使能控制

1:使能 (PWM2 级联至 PWM1, PWM2 为低位, PWM1 为高位)

0:禁止

RPAGE~R46 (PWM1-2 周期占空高位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT2<9:8>		PDT1<9:8>		PCY2<9:8>		PCY1<9:8>	

Bit<7:6>:PDT2<9:8>-PWM2 占空高两位数据

Bit<5:4>:PDT1<9:8>-PWM1 占空高两位数据

Bit<3:2>:PCY2<9:8>-PWM2 周期高两位数据

Bit<1:0>:PCY1<9:8>-PWM1 周期高两位数据

RPAGE~R47 (PWM1 周期低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY1<7:0>							

Bit<7:0>:PCY2<7:0>-PWM1 周期低八位数据

RPAGE~R48 (PWM1 占空低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT1<7:0>							

Bit<7:0>:PDT2<7:0>-PWM1 占空低八位数据

RPAGE~R49 (PWM2 控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2EN	PT2EN	PT2P<2:0>			IPWM2	PWM2CK	PWM2CS

Bit<7>:PWM2EN-PWM2 输出使能控制位

1:使能

0:禁止

Bit<6>:PT2EN-PWM2 时钟分频器使能控制位

1:使能

0:禁止

Bit<5:3>:PT2P<2:0>-PWM2 时钟分频控制位

PT2P<2>	PT2P<1>	PT2P<0>	分频比
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

Bit<2>:IPWM2-PWM2 互补输出使能控制位

1:使能

0:禁止

Bit<1>:PWM2CK-PWM2CK 时钟选择

1:选择 Fcpu 作为 PWM2 时钟

0:选择 Fosc 作为 PWM2 时钟

Bit<0>:PWM2CS-PWM 级联使能控制

1:使能 (PWM0 级联至 PWM2, PWM0 为低位, PWM2 为高位)

0:禁止

RPAGE~R4A (PWM2 周期低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCY2<7:0>							

Bit<7:0>:PCY2<7:0>-PWM2 周期低八位数据

RPAGE~R4B (PWM2 占空低位寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PDT2<7:0>							

Bit<7:0>:PDT2<7:0>-PWM2 占空低八位数据

IOPAGF~IOCF (中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWMOIE	EXIE	P6ICIE	TCIE

Bit<5>:PWM2IE-PWM2 中断使能控制位

1:使能

0:禁止 (默认)

Bit<4>:PWM1IE-PWM1 中断使能控制位

1:使能

0:禁止 (默认)

Bit<3>:PWMOIE-PWM0 中断使能控制位

1:使能

0:禁止 (默认)

IOCF 寄存器可读可写

3.8.2 PWM 脉宽调制设置说明

- 1、设置 PWMCON 寄存器：
 - 设置 PWM 模块使能，使能 PWM 功能模块；
 - 设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
 - 使能 PWM 分频器，将 PWM 时钟分频器使能；
 - 设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
 - 设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
 - 设置 PWM 输出通道，设置某一端口为 PWM 输出通道；
- 2、写周期寄存器的值，确定该 PWM 通道的 Cycle；
- 3、写占空比寄存器的值，确定该 PWM 通道的 Duty；
- 4、制止 PWM 中断；
- 5、使能 PWM-OUT 输出功能，则在端口输出设定好的 PWM 波形。

3.8.3 PWM 脉宽调制互补设置说明

- 1、设置 PWMCON 寄存器：
 - 设置 PWM 模块使能，使能 PWM 功能模块；
 - 设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
 - 使能 PWM 分频器，将 PWM 时钟分频器使能；
 - 设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
 - 设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
 - 使能 IPWM 互补输出；
 - 设置 IPWM 输出极性，根据用户需要设置 IPWM 极性为高电平有效还是低电平有效；
 - 设置 PWM 输出通道，设置某一端口为 PWM 输出通道；
- 2、写周期寄存器的值，确定该 PWM 通道的 Cycle；
- 3、写占空比寄存器的值，确定该 PWM 通道的 Duty；
- 4、制止 PWM 中断；
- 5、使能 PWM-OUT 输出功能，则在端口输出设定好的 PWM 波形。

3.8.4 PWM 脉宽调制死区设置说明

- 1、设置 PWMCON 寄存器：
 - 设置 PWM 模块使能，使能 PWM 功能模块；
 - 设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
 - 使能 PWM 分频器，将 PWM 时钟分频器使能；
 - 设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
 - 设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
 - 使能 IPWM 互补输出；
 - 设置 IPWM 输出极性，根据用户需要设置 IPWM 极性为高电平有效还是低电平有效；
 - 设置 PWM 死区使能，选择某一路 PWM 使能死区控制；
 - 设置 PWM 死区时钟源，选择 Fcpu 或者 Fosc 作为 PWM 死区时钟源；
 - 设置 PWM 死区时间，可以设置不同的死区时间；
 - 设置 PWM 输出通道，设置某一端口为 PWM 输出通道；
- 2、写周期寄存器的值，确定该 PWM 通道的 Cycle；
- 3、写占空比寄存器的值，确定该 PWM 通道的 Duty；
- 4、制止 PWM 中断；
- 5、使能 PWM-OUT 输出功能，则在端口输出设定好的 PWM 波形。

3.8.5 PWM 脉宽调制倍频设置说明

- 1、设置 PWMCON 寄存器：
设置 PWM 模块使能，使能 PWM 功能模块；
设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
使能 PWM 分频器，将 PWM 时钟分频器使能；
设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
设置 PWM 输出通道，设置某一端口为 PWM 输出通道；
设置 PWM 时钟倍频使能，可以使 PWM 时钟加倍；
- 2、写周期寄存器的值，确定该 PWM 通道的 Cycle；
- 3、写占空比寄存器的值，确定该 PWM 通道的 Duty；
- 4、制止 PWM 中断；
- 5、使能 PWM-OUT 输出功能，则在端口输出设定好的 PWM 波形。

3.8.6 PWM 脉宽调制级联设置说明

- 1、设置 PWMCON 寄存器：
设置 PWM 模块使能，使能 PWM 功能模块；
设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
使能 PWM 分频器，将 PWM 时钟分频器使能；
设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
设置 PWM 输出通道，设置某一端口为 PWM 输出通道；
设置 PWM 级联使能，设置相应的 PWM 级联使能；
 - 2、写周期寄存器的值，确定该 PWM 通道的 Cycle；
 - 3、写占空比寄存器的值，确定该 PWM 通道的 Duty；
 - 4、制止 PWM 中断；
 - 5、使能 PWM-OUT 输出功能，则在端口输出设定好的 PWM 波形。
- 注:PWM 级联的周期和占空比算法；

3.8.7 PWM 脉宽调制刹车设置说明

- 1、设置 PWMCON 寄存器：
设置 PWM 模块使能，使能 PWM 功能模块；
设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
使能 PWM 分频器，将 PWM 时钟分频器使能；
设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
设置 PWM 输出通道，设置某一端口为 PWM 输出通道；
使能刹车功能，将 BRKEN 位使能；
设置中断作为输入口，将中断端口设置为输入状态；
选择某一端口作为中断口，设置 R42 寄存器 Bit<6:5>选择中断口；
使能外部中断 EXIE=1；
- 2、写周期寄存器的值，确定该 PWM 通道的 Cycle；
- 3、写占空比寄存器的值，确定该 PWM 通道的 Duty；
- 4、制止 PWM 中断；
- 5、使能 PWM 输出功能，则在端口输出设定好的 PWM 波形；

6、当外部中断发生时，PWM 立即停止，端口切换为输出端口数据寄存器的内容。

3.8.8 PWM 脉宽调制逻辑与输出设置说明

1、设置 PWMCON 寄存器：

- 设置 PWM 模块使能，使能 PWM 功能模块；
- 设置 PWM 时钟源，选择 Fcpu 或者 Fosc 作为 PWM 时钟源；
- 使能 PWM 分频器，将 PWM 时钟分频器使能；
- 设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
- 设置 PWM 输出极性，根据用户需要设置 PWM 极性为高电平有效还是低电平有效；
- 设置 PWM 输出通道，设置某一端口为 PWM 输出通道；

2、写周期寄存器的值，确定该 PWM 通道的 Period；

3、写占空比寄存器的值，确定该 PWM 通道的 Duty；

4、制止 PWM 中断；

5、使能 SPWM 输出功能，则在端口输出设定好的 PWM 逻辑与波形；

3.8.9 PWM 脉宽调制周期唤醒设置说明

1、设置 PWMCON 寄存器：

- 设置 PWM 模块使能，使能 PWM 功能模块；
- 设置 PWM 时钟源，选择低速晶振时钟（外接晶振）作为 PWM 时钟源；
- 使能 PWM 分频器，将 PWM 时钟分频器使能；
- 设定 PWM 时钟分频比，根据用户需要设定不同的分频比；
- 设置 PWM 唤醒使能，用户可以根据需要设定唤醒时间；

2、写周期寄存器的值，确定该 PWM 通道的 Period；

4、制止 PWM 中断；

5、进入 Sleep, 等待 PWM 周期唤醒；

注：选择 PWM 周期唤醒功能，PWM 时钟一定选择是外部低速晶振。

3.9 中断功能模块

X8P1202 具有 8 个中断源，无论是使用其中哪一个中断，都必须使总中断使能，即下“ENI”指令。下面分别是每个中断的特性，中断地址及优先级别：

	中断源	使能条件	中断标志	中断向量
内部	TCC 溢出中断	$ENI + TCIE = 1$	TCIF	008H
外部	端口变化中断	$ENI + ICIE = 1$	ICIF	008H
外部	外部中断	$ENI + EXIE = 1$	EXIF	008H
内部	PWM0 周期溢出中断	$ENI + PWM0IE = 1$	PWM0IF	008H
内部	PWM1 周期溢出中断	$ENI + PWM1IE = 1$	PWM1IF	008H
内部	PWM2 周期溢出中断	$ENI + PWM2IE = 1$	PWM2IF	008H
内部	WDT 溢出中断	$ENI + WDTIE = 1$	WDTIF	008H
外部	低电压检测中断	$ENI + LVDIE = 1$	LVDIF	008H

PRAGE~RE，RPAGE~RF 为中断状态标志寄存器，它们记录了当某个中断产生中断请求后的中断标志位。PRAGE~RE，IOPAGF~IOCF 为中断设置寄存器，中断的允许与禁止在这 2 个寄存器中设置。总中断的允许是通过下“ENI”指令，相反，总中断的禁止是通过下“DISI”指令。当一个中断产生时，它的下一条指令的执行将从它们特定的地址处执行。在离开中断服务程序之前相应的中断标志位必须清零，这样才能避免中断的误动作。

当执行中断子程序时，ACC、R3、R4 的内容需要手动保留起来，直到离开中断子程序后，需要手动将被保留的值载入 ACC、R3、R4，如此是为了避免在执行中断子程序时，有将 ACC、R3、R4 的值改变，导致回主程序时发生错误。

3.9.1 中断寄存器说明

RPAGE~RE (唤醒使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P7ICIF	P5ICIF	P7ICIE	P5ICIE	EXWK	WDTWK	ICWE	LVDWK

Bit<7>:P7ICIF-P7 端口变化中断标志位

1: 有中断

0: 无中断

Bit<6>:P5ICIF-P5 端口变化中断标志位

1: 有中断

0: 无中断

Bit<5>:P7ICIE-P7 端口变化中断使能位

1: 使能

0: 禁止（默认）

Bit<4>:P5ICIE-P5 端口变化中断使能位

1: 使能

0: 禁止（默认）

RPAGE~RF (中断标志寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIF	WDTIF	PWM2IF	PWM1IF	PWM0IF	EXIF	P6ICIF	TCIF

Bit<7>:LVDIF-LVD 中断标志位

1: 有中断

0: 无中断

Bit<6>:WDTIF-WDT 中断标志位

1:有中断

0:无中断

Bit<5>:PWM2IF-PWM2 中断标志位

1:有中断

0:无中断

Bit<4>:PWM1IF-PWM1 中断标志位

1:有中断

0:无中断

Bit<3>:PWM0IF-PWM0 中断标志位

1:有中断

0:无中断

Bit<2>:EXIF-外部中断标志位

1:有中断

0:无中断

Bit<1>:P6ICIF-P6 端口变化中断标志位

1:有中断

0:无中断

Bit<0>:TCIF-TCC 中断标志位

1:有中断

0:无中断

RF 寄存器可读可写，但只能写 0

IOPAGF~IOCF(中断使能控制寄存器)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDIE	WDTIE	PWM2IE	PWM1IE	PWM0IE	EXIE	P6ICIE	TCIE

Bit<7>:LVDIE-LVD 中断使能控制位

1:使能

0:禁止（默认）

Bit<6>:WDTIE-WDT 中断使能控制位

1:使能

0:禁止（默认）

Bit<5>:PWM2IE-PWM2 中断使能控制位

1:使能

0:禁止（默认）

Bit<4>:PWM1IE-PWM1 中断使能控制位

1:使能

0:禁止（默认）

Bit<3>:PWM0IE-PWM0 中断使能控制位

1:使能

0:禁止（默认）

Bit<2>:EXIE-外部中断使能控制位

1:使能

0:禁止（默认）

Bit<1>:P6ICIE-P6 端口变化中断使能控制位

1:使能

0:禁止（默认）

Bit<0>:TCIE-TCC 溢出中断使能控制位

1:使能

0:禁止（默认）

IOCF 寄存器可读可写

RPAGE~R42 (LVD 控制寄存器)

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LXTWKF	EXSEL<1:0>		LVDF	LV DEN	LVDSEL<2:0>		

Bit<6:5>:EXSEL<1:0>-外部中断端口选择位

00:P60 作为外部中断口

01:P61 作为外部中断口

10:P71 作为外部中断口

11:P57 作为外部中断口

3.9.2 外部中断设置说明

- 1、设置中断作为输入口，将中断端口设置为输入状态；
 - 2、选择某一端口作为中断口，设置 R42 寄存器 Bit<6:5>选择中断口；
 - 3、使能外部中断 PxICIE=1；
 - 4、根据客户需要如需要进入中断则使能 ENI，如果不进入中断，则禁止 DISI；
- 其他中断说明，在相应的模块的中有介绍。

3.10 复位功能模块

3.10.1 复位功能概述

X8P1202 系统提供 3 种复位方式：

- 1、上电复位和低压复位；
- 2、RESET 脚输入低电平复位；
- 3、WDT 看门狗溢出复位；

第一种复位时间由 OPTION 中的复位时间选择决定，如下表所示：

上电复位建立时间：

SUT	复位建立时间
PWRT=WDT=18ms	上电复位时间= 18ms
PWRT=WDT=4.5ms	上电复位时间= 4.5ms
PWRT=WDT=72ms	上电复位时间= 72ms
PWRT=WDT=288ms	上电复位时间= 288ms
PWRT=140us WDT=18ms	上电复位时间=140us
PWRT=140us WDT=4.5ms	上电复位时间=140us
PWRT=140us WDT=72ms	上电复位时间=140us
PWRT=140us WDT=288ms	上电复位时间=140us

上述任一种复位发生时，所有的系统寄存器恢复默认状态，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统提供完善的复位流程以保证复位动作的顺利进行。对于不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同晶振的起振时间都不固定。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑主机对上电复位时间的要求。

3.10.2 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

上电：系统检测到电源电压上升并等待其稳定；

外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；

系统初始化：所有的系统寄存器被置为初始值；

振荡器开始工作：振荡器开始提供系统时钟；

执行程序：上电结束，程序开始运行。

3.10.3 WDT 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；

系统初始化：所有的系统寄存器被置为默认状态；

振荡器开始工作：振荡器开始提供系统时钟；

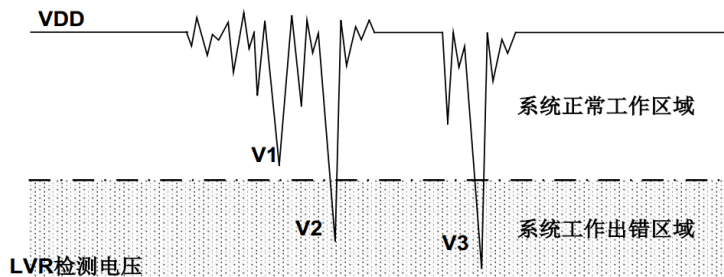
执行程序：上电结束，程序开始运行。

看门狗定时器应用注意事项:

- 1、对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；
- 2、不能在中断中对看门狗清零，否则无法检测到主程序跑飞的状况；
- 3、程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。

3.10.4 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电复位可能会引起系统工作状态不正常或程序执行错误。



电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVD 检测电压，因此系统维持在死区。

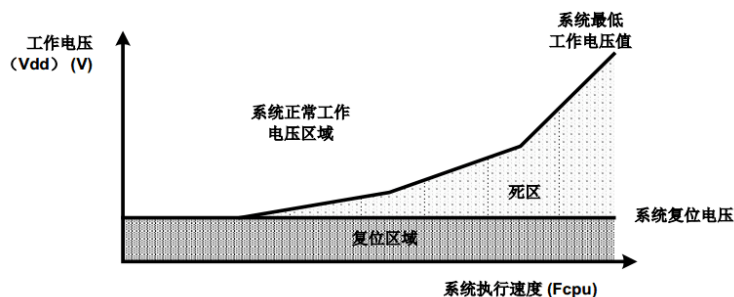
AC 运用中：

系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。

在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3.10.5 工作频率与 LVR 低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



系统工作电压与执行速度关系图

如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，再选择工作频率的时候，要选择相应的 LVR 复位电压点。如下表：

工作频率	LVR 复位电压点
IRC-16M	LVR=3.3V
IRC-8M	LVR=2.7V
IRC-4M	LVR=2.4V
IRC-2M	LVR=1.8V
IRC-1M	LVR=1.8V
IRC-455K	LVR=1.8V

注：此工作频率和 LVR 复位电压点的对应值，只是推荐值，用户在使用过程中，根据用于的具体应用场合可以适当的调整复位电压点。

3.11 系统时钟功能模块

X8P1202 内部集成了 4 种振荡器，可以通过 OPTION 实现相应配置。具体参看下表：

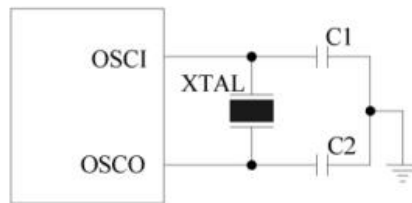
内部振荡器说明

振荡器类型	说明
ERC（外接电阻振荡器）	P56:ERCin
IRC（内置 RC 振荡器）	可以选择 455K/1M/2M/4M/8M/16M
LXT（低速晶振）	32.768KHz
HXT（高速晶振）	1M~16M

说明:HXT 和 LXT 之间的系统频率过度点在 400kHz 左右。

3.11.1 外部晶体振荡器/陶瓷谐振器（XT）

在大多数应用中，引脚 OSC0 和 OSC1 上可接晶体或陶瓷谐振器来产生振荡，电路图如下，不论是 HXT 还是 LXT 模式都适用，表中为 C1、C2 的推荐值。由于各个谐振器特性不同，用户应参参照其规格选择 C1、C2 的合适值。



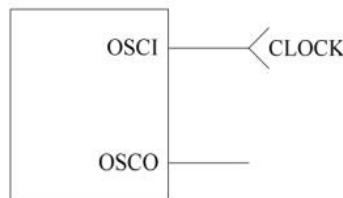
晶体/振荡器电路

晶体振荡器或陶瓷振荡器的电容选择参考：

振荡器模式	频率模式	频率	C1 (pF)	C2 (pF)
晶体振荡器	LXT (32.768K)	32.768 KHz	40	40
	HXT (1M~16M)	1 MHz	30	30
		2 MHz	30	30
		4 MHz	20	20
		8 MHz	30	30

注: 以上数据仅供参考，一切以实物测试为准。

X8P1202 还可被 OSC1 引脚上的外部时钟信号驱动，其应用图如下：



外部时钟示意图

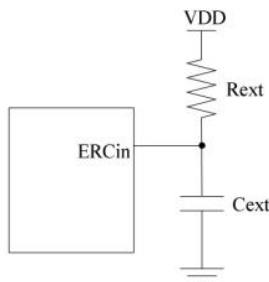
3.11.2 外部 RC 振荡器模式（ERC）

在一些对时钟精度要求不高的场合应用中，使用 RC 振荡器可以节省部分费用，尽管如此，还是应该注意到，RC 振荡器的频率与电压，电阻值 (R_{ext})，电容值 (C_{ext})，甚至工作温度均有关，并且各芯片之间由于生产工艺差别，频率也会发生细微变化。

RC 振荡器的电阻值越小，频率越高。另一方面，对于很小的电阻值，例如 1K 欧姆，由于 NMOS 不能正确将电容放电，振荡器将变得不稳定，为了获得稳定的系统频率，电容值不

能小于 20pF，电阻值不能大于 1M 欧姆。如果它们不在该范围之内，频率将很容受噪声、湿度及漏电的影响。

电源电压、工作温度、RC 振荡器部件、封装形式及 PCB 布线方式都会影响系统频率。



外部 RC 振荡器模式电路

RC 振荡器频率参考表如下所示，仅供参考：（以下数据为仿真数据，仅供设计参考）

Rext	Cext	频率
5.1K	100p	863KHz
	200p	448KHz
	300p	305KHz
10K	100p	455KHz
	200p	235KHz
	300p	160KHz

3.11.3 内部 RC 振荡器模式（IRC）

X8P1202 提供内部 RC 模式，频率默认值为 4MHz。

内部 RC 振荡模式还有其它频率值如 16MHz, 8MHz, 4MHz, 2MHz, 1MHz, 455KHz。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

Firc	IRC 频率
16 M	IRC 频率选为 16MHz
8 M	IRC 频率选为 8MHz
4 M	IRC 频率选为 4MHz
2 M	IRC 频率选为 2MHz
1 M	IRC 频率选为 1MHz
455 K	IRC 频率选为 455KHz

IRC 频率可以通过烧录器进行自动校正，理论校正精度 $\pm 1\%$ 。

IRC 频漂 (T=25℃, VDD=5V $\pm$ 5%, GND=0V)				
IRC	漂移率			
	温度 (-40℃~+85℃)	电压 (1.8V~5.5V)	制程	Total
16MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
2MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
4MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
8MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
1MHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$
455kHz	$\pm 5\%$	$\pm 5\%$	$\pm 1\%$	$\pm 11\%$

X8P1202 提供了多种分频选择，可以在 OPTION 中选择，适用于更多的场合。如下表：

Clocks	Clocks 分频
2clock	分频为 2clock
4clock	分频为 4clock
8clock	分频为 8clock
16clock	分频为 16clock

3.11.4 时钟模块应用说明

内部振荡器是最常用的振荡模式，该模式可以省去外接的电路；

在使用外打时钟输入时，时钟信号要从 OSCI 输入，OSCO 可以悬空；

使用外部振荡器并且大于 400kHz 时一定要在烧写程序时的 OPTION 选项中选外部高速振荡器，小于 400kHz 时选外部低速振荡器；

外界条件不同，各振荡模式的时钟频率可能会有轻微差别，使用时应根据需要合理选择。

4 CODE OPTION 寄存器

X8P1202 在烧录使用中，需要设置不同的选项，如下表：

CODE	选项	功能描述
POWER	HIGH	IRC 频率在 VDD=5V 下校准
	LOW	IRC 频率在 VDD=3V 下校准
P57 端口	RST	P57 作为外部 RESET
	GPIO	P57 作为 GPIO（默认）
P55 端口	OSCO	P55 作为外部 OSC0 端口
	GPIO	P55 作为 GPIO（默认）
看门狗	使能	WDT 使能
	禁止	WDT 禁止（默认）
代码加密	加密	烧录模式数据加密
	不加密	烧录模式数据不加密
复位时间	PWRT=WDT=4.5ms	唤醒建立时间=WDT 溢出时间（不分频）= 4.5ms
	PWRT=WDT=18ms	唤醒建立时间=WDT 溢出时间（不分频）= 18ms
	PWRT=WDT=72ms	唤醒建立时间=WDT 溢出时间（不分频）= 72ms
	PWRT=WDT=288ms	唤醒建立时间=WDT 溢出时间（不分频）= 288ms
	PWRT=140us, WDT=4.5ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=4.5ms
	PWRT=140us, WDT=18ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=18ms
	PWRT=140us, WDT=72ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=72ms
	PWRT=140us, WDT=288ms	唤醒建立时间=140us, WDT 溢出时间（不分频）=288ms
低压复位 (LVR)	1.2V	低压复位点选择 1.2V
	1.6V	低压复位点选择 1.6V
	1.8V	低压复位点选择 1.8V（默认）
	2.4V	低压复位点选择 2.4V
	2.7V	低压复位点选择 2.7V
	3.3V	低压复位点选择 3.3V
	3.6V	低压复位点选择 3.6V
	使能	LVR 使能
	禁止	LVR 禁止（默认）
端口特性	EMT	端口输入特性为施密特 EMT 特性
	SMT	端口输入特性为施密特 SMT 特性
	HSMT	端口输入特性为施密特 HSMT 特性
	INV	端口输入特性为反相器 INV 特性
IRC 频率	4M	IRC 频率选择 4M（默认）
	16M	IRC 频率选择 16M
	8M	IRC 频率选择 8M
	2M	IRC 频率选择 2M
	1M	IRC 频率选择 1M
	455K	IRC 频率选择 455K
复位端口上拉	使能	使能 P57 端口上拉
	禁止	禁止 P57 端口上拉
振荡模式	ERC 模式	ERC 模式
	IRC 模式	IRC 模式
	LXT	LXT（0K~400K）模式
	HXT	HXT（400K~16M）模式

5 芯片电气特性

5.1 芯片极限参数

工作温度(℃):	(√) E:-40~85;
存储温度(℃):	(√) -65~+150;
极限电压(V)	(√) 其它 <u>-0.3~6;</u>
极限输入电压 (V)	(√) 其它 <u>GND-0.3~VDD+1;</u>
极限输出电压 (V)	(√) 其它 <u>GND-0.3~VDD+1;</u>

5.2 芯片直流参数

(T=25℃, VDD=5±5%V, GND=0V)

符号	参数说明	条件	最小	典型	最大	单位
IRC1	IRC1 (校正后)	OPTION 选择 4MHz	-	4	-	MHz
IRC2	IRC2 (校正后)	OPTION 选择 16MHz	-	16	-	MHz
IRC3	IRC3 (校正后)	OPTION 选择 8MHz	-	8	-	MHz
IRC4	IRC4 (校正后)	OPTION 选择 1MHz	-	1	-	MHz
IRC5	IRC5 (校正后)	OPTION 选择 2MHz	-	2	-	MHz
IRC6	IRC6 (校正后)	OPTION 选择 455KHz	-	455	-	KHz
IOH1	输出高电平驱动 (除 P57)	Ioh=4.4V	-	4.5	-	mA
IOH2	输出高电平驱动增强 (除 P57)	Ioh=4.4V	-	12	-	mA
IOL1	I0 输出低电平驱动	Iol=0.6V	-	18	-	mA
IOL2	I0 输出低电平驱动增强	Iol=0.6V	-	28	-	mA
IPH	上拉电流	上拉使能, 输入接地	70	100	150	μA
IPD	下拉电流	下拉使能, 输入接 VDD	40	60	100	μA
I _{sb1}	关机电流 1	所有输入接 VDD, 输出悬空, WDT、LVD 禁用	-	-	1	μA
I _{sb2}	关机电流 2	所有输入接 VDD, 输出悬空, WDT 使能, LVD 禁用	-	-	10	μA
I _{sb3}	关机电流 3	所有输入接 VDD, 输出悬空, LVD 使能, WDT 禁用	-	-	10	μA
Iop2	工作电流 1 (VDD=5V)	IRC=4MHz 2clock	-	-	1	mA
Iop2	工作电流 2 (VDD=5V)	IRC=16MHz 2clock	-	-	3.5	mA
Iop2	工作电流 3 (VDD=5V)	IRC=8MHz 2clock	-	-	1.8	mA
Iop2	工作电流 4 (VDD=5V)	IRC=2MHz 2clock	-	-	0.6	mA
Iop2	工作电流 5 (VDD=5V)	IRC=1MHz 2clock	-	-	0.3	mA
Iop2	工作电流 6 (VDD=5V)	IRC=455KHz 2clock	-	-	0.2	mA
LVR	低电压复位电压	选择 LVR 复位点	V _{lvr} -0.2	V _{lvr}	V _{lvr} +0.2	V
LVD	低压检测电压	选择检测点为 V _{lvd}	V _{lvd} -0.2	V _{lvd}	V _{lvd} +0.2	V

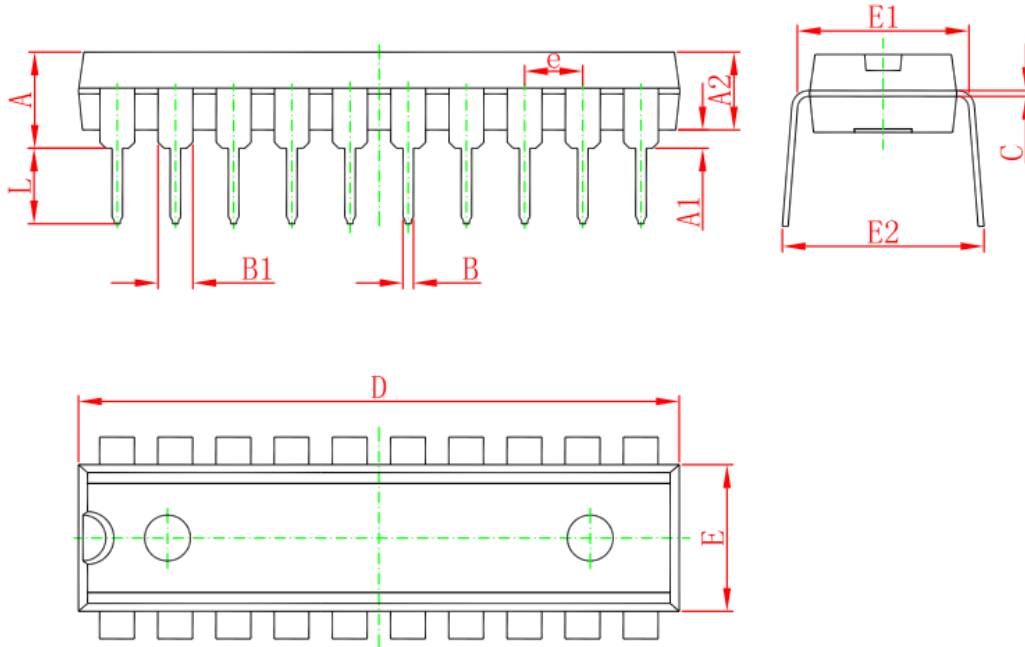
6 封装类型

OTP MCU	封装类型	引脚数	封装尺寸
X8P1202TB/TD	DIP20/SOP20	20	§ 7.1
X8P1202RB/RD	DIP18/SOP18	18	§ 7.2
X8P1202PB/PD	DIP16/SOP16	16	§ 7.3
X8P1202M/N	DIP14/SOP14	14	§ 7.4
X8P1202B/D	DIP8/SOP8	8	§ 7.5

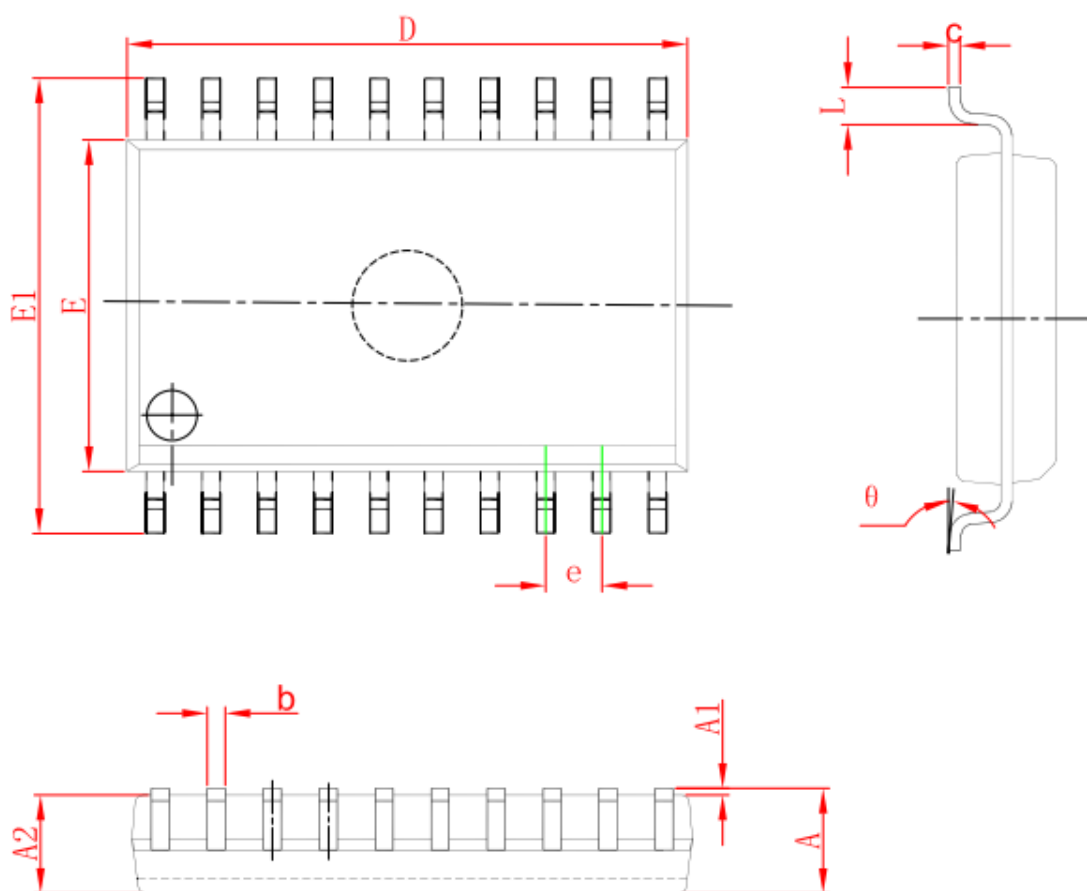
7 封装尺寸

7.1 20PIN 封装尺寸

DIP20



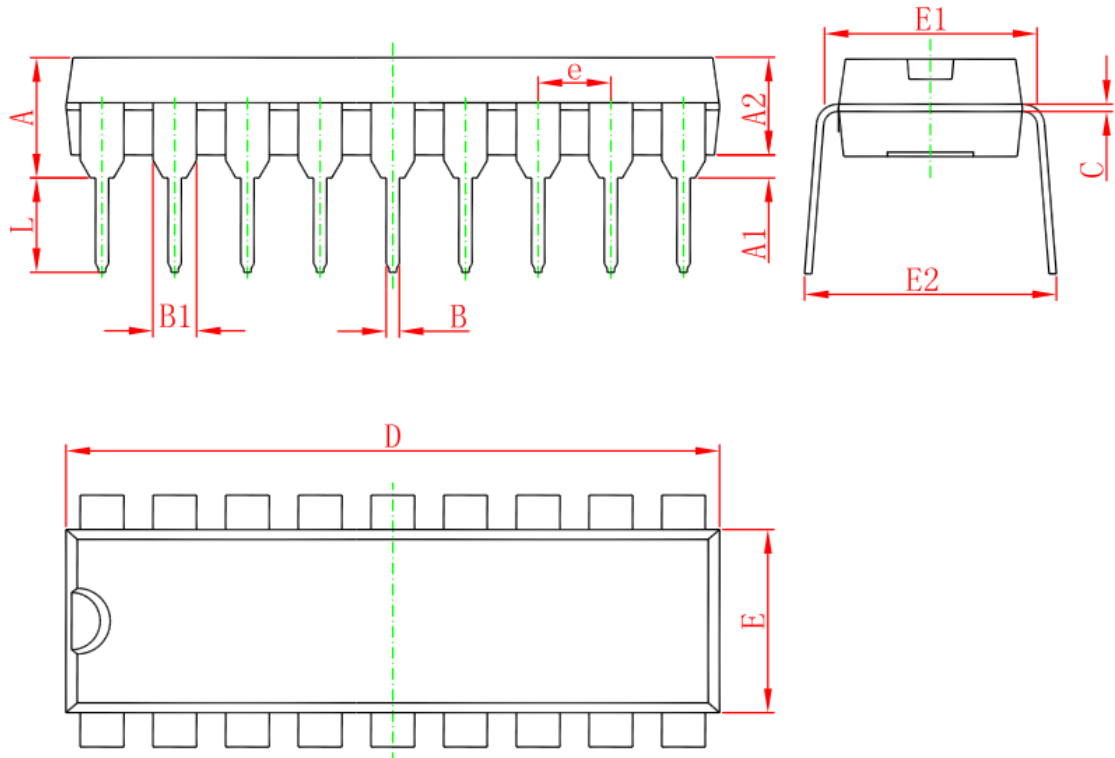
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524 (BSC)		0.060 (BSC)	
C	0.204	0.360	0.008	0.014
D	25.950	26.550	1.022	1.045
E	6.200	6.600	0.244	0.260
E1	7.320	7.920	0.288	0.312
e	2.540 (BSC)		0.100 (BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	2.350	2.650	0.093	0.104
A1	0.100	0.300	0.004	0.012
A2	2.100	2.500	0.083	0.098
b	0.330	0.510	0.013	0.020
c	0.204	0.330	0.008	0.013
D	12.520	13.000	0.493	0.512
E	7.400	7.600	0.291	0.299
E1	10.210	10.610	0.402	0.418
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

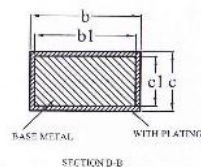
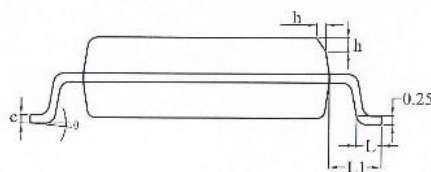
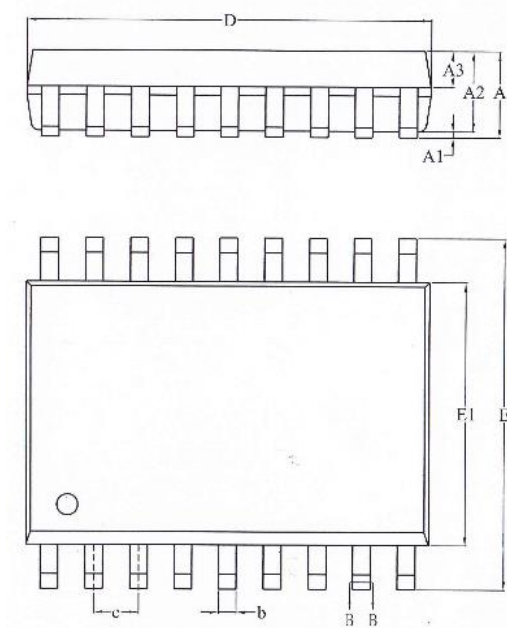
7.2 18PIN 封装尺寸

DIP18



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524 (BSC)		0.060 (BSC)	
C	0.204	0.360	0.008	0.014
D	22.640	23.040	0.891	0.907
E	6.200	6.600	0.244	0.260
E1	7.320	7.920	0.288	0.312
e	2.540 (BSC)		0.100 (BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354

SOP18

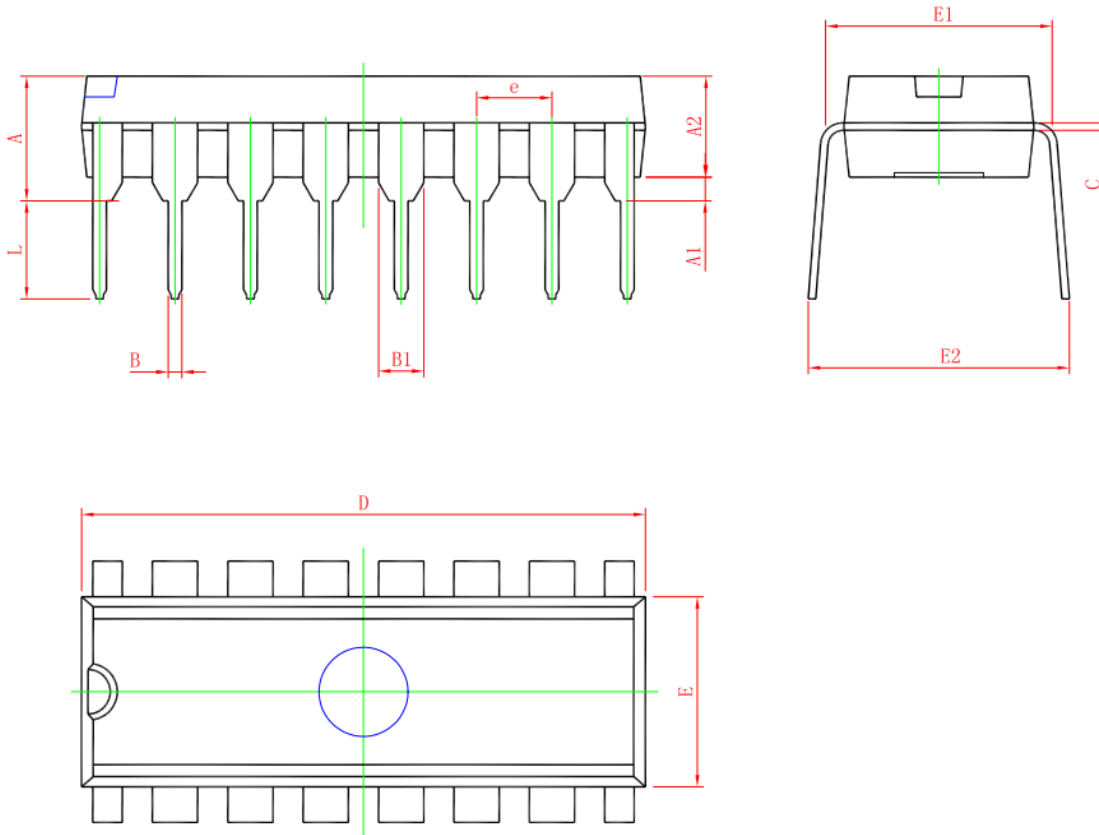


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	2.65
A1	0.10	—	0.30
A2	2.30	2.30	2.40
A3	0.97	1.02	1.07
b	0.35	—	0.43
b1	0.34	0.37	0.40
c	0.25	—	0.29
c1	0.24	0.25	0.26
D	11.35	11.45	11.55
E	10.10	10.30	10.50
E1	7.40	7.50	7.60
e	1.27BSC		
L	0.70	—	1.00
L1	1.40REF		
h	0.25	—	0.75
θ	0	—	8°

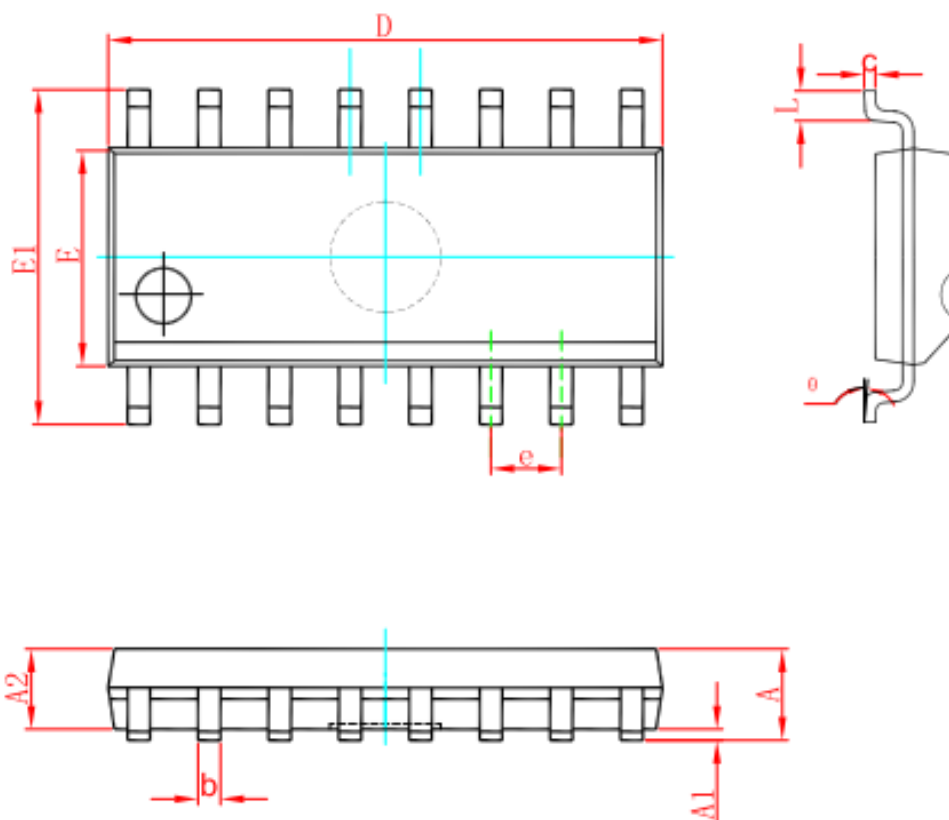
△
△
△
△
△
△

7.3 16PIN 封装尺寸

DIP16



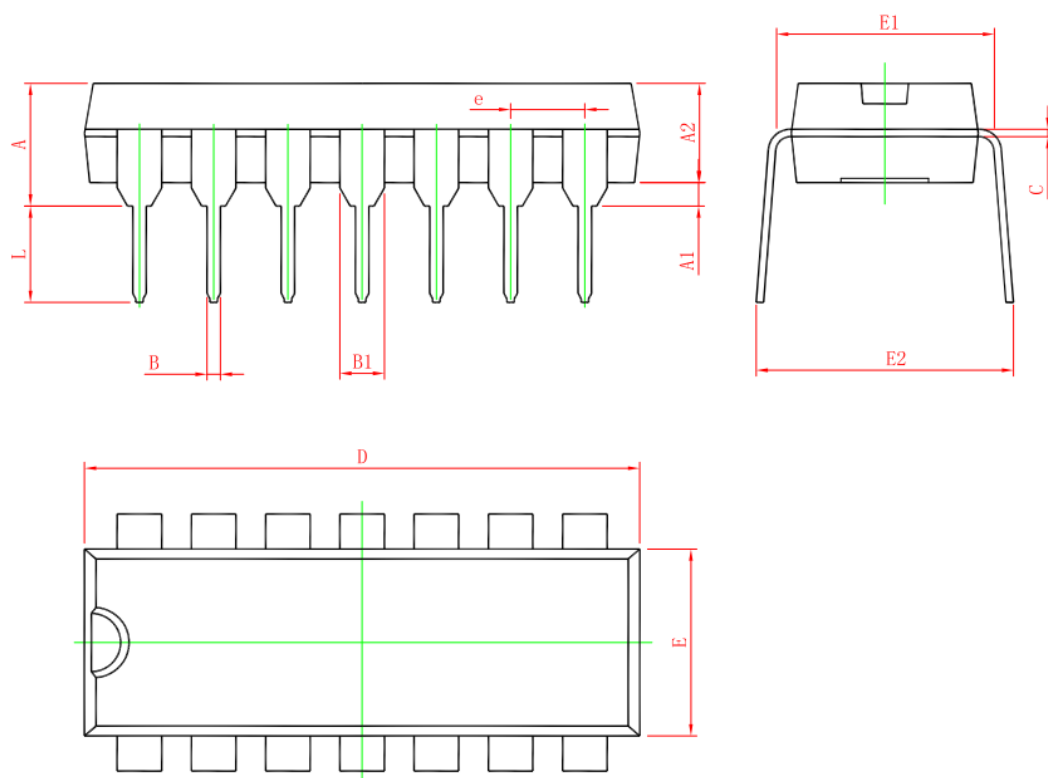
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)		0.060(BSC)	
C	0.204	0.360	0.008	0.014
D	18.800	19.200	0.740	0.756
E	6.200	6.600	0.244	0.260
E1	7.320	7.974	0.288	0.314
e	2.540(BSC)		0.100(BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	9.800	10.200	0.386	0.402
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

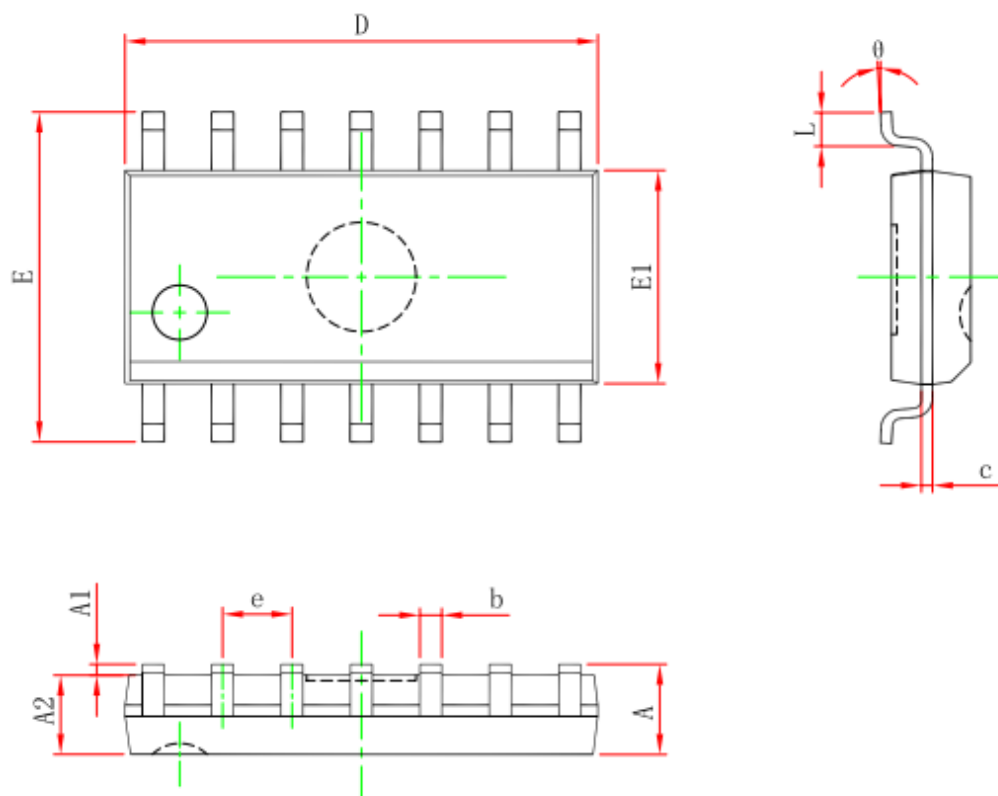
7.4 14PIN 封装尺寸

DIP14



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)		0.060(BSC)	
C	0.204	0.360	0.008	0.014
D	18.800	19.200	0.740	0.756
E	6.200	6.600	0.244	0.260
E1	7.320	7.974	0.288	0.314
e	2.540(BSC)		0.100(BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354

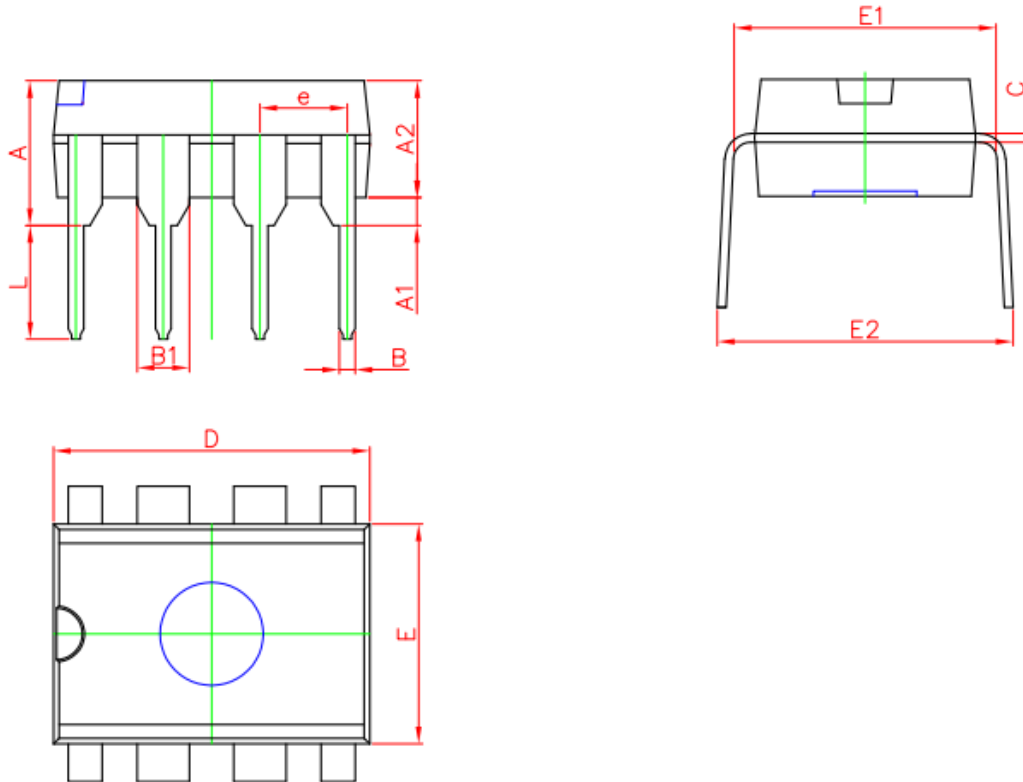
SOP14



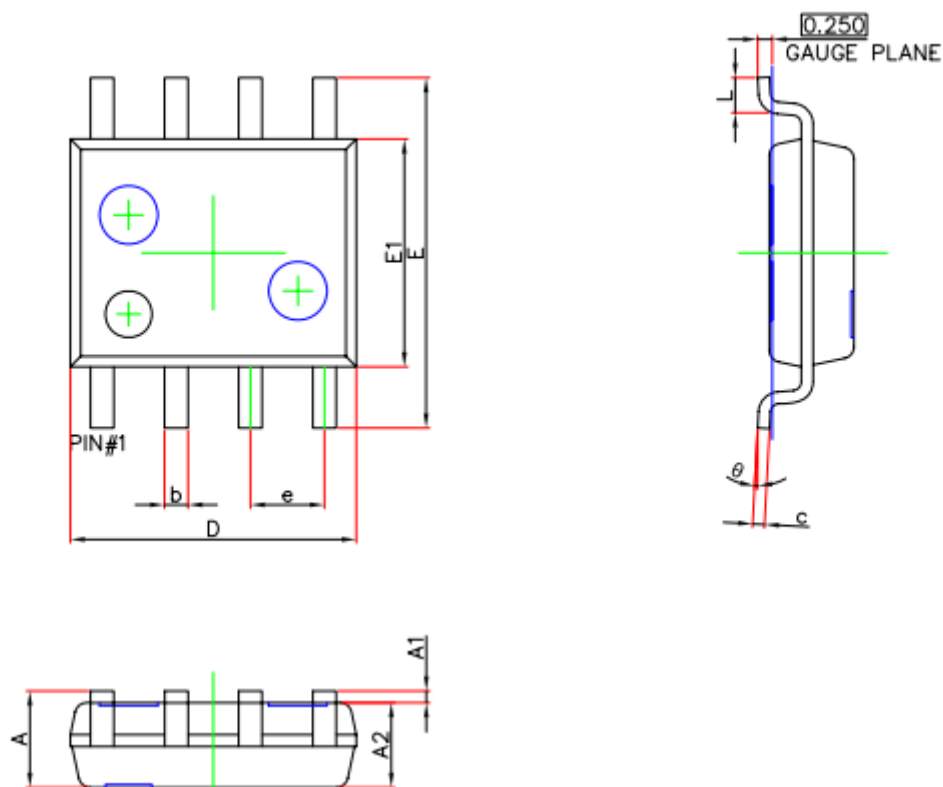
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	—	1.750	—	0.069
A1	0.100	0.250	0.004	0.010
A2	1.250	—	0.049	—
b	0.310	0.510	0.012	0.020
c	0.100	0.250	0.004	0.010
D	8.450	8.850	0.333	0.348
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

7.5 8PIN 封装尺寸

DIP8



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)		0.060(BSC)	
C	0.204	0.360	0.008	0.014
D	9.000	9.400	0.354	0.370
E	6.200	6.600	0.244	0.260
E1	7.320	7.950	0.288	0.313
e	2.540(BSC)		0.100(BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	1.450	1.750	0.057	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	4.700	5.100	0.185	0.201
E	5.800	6.200	0.228	0.244
E1	3.800	4.000	0.150	0.157
e	1.270(BSC)		0.050(BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°