

EM78P447

一、总体描述

EM78P447 是采用低功耗，高速 CMOS 工艺制造的 8 位单片机，内部有 4K×13 位一次性程序存储器(OTPROM)。它提供了 7 位结构选择寄存器 (CODE OPTION) 以满足用户的需求。其中有一位为加密位，可防止用户代码被读出。

由于使用的是 OTPROM, EM78P447 为用户调试、完善程序提供了方便。而且，用户完善过的程序可用 EMC 编程器方便地写入

二、主要特点：

- 工作电压： 2.3V~5.5V
- 工作环境温度范围： 0~70 度
- 工作频率： DC~18MHz
- 低功耗： * 正常工作模式下
 - 小于 2.2mA (5V/4MHz)
 - 30 μ A (3V/32KHz)

* 休眠模式 1 μ A

- 4K×13 位的片内 R O M
- 148×8 位的片内寄存器
- 三个双向 I / O 口
- 5 级硬件堆栈
- 8 位实时时钟 / 计数器 (T C C)，可选择信号源、触发沿，溢出产生中断。
- 具有低功耗模式 即休眠模式
- 3 个中断源： 二个硬件中断—T C C 溢出中断与外部中断 (I N T 引脚)
一个软件中断— I N T 指令
- 可编程自由运行看门狗定时器 (W D T)
- 10 个可编程接上拉电阻 I / O 引脚
- 2 个可编程 R-OPTION I / O 引脚
- 2 个可编程 漏极开路 I / O 引脚
- 每个指令周期两个时钟周期
- 99.9% 的指令为单周期指令
- 封装形式

EM78P447A 28 脚 DIP、SOIC 封装

EM78P447B 32 脚 DIP、SOIC 封装

- 上电电压检测功能，检测电压范围 1.6V±0.15V

三、引脚分配图

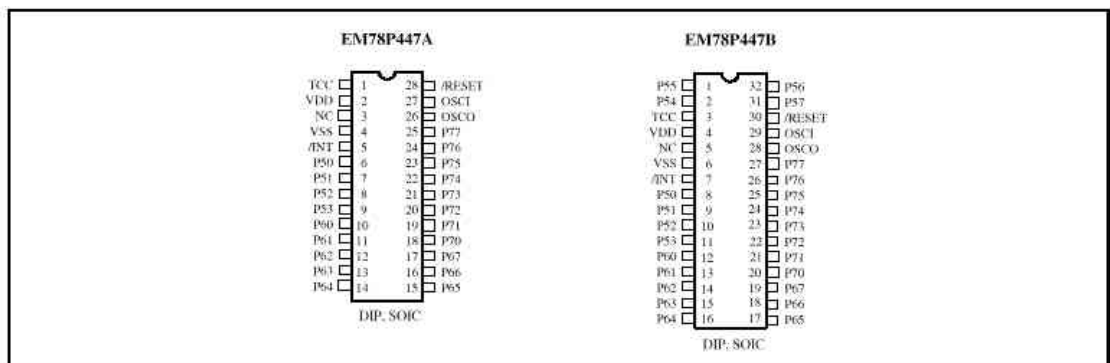


图1 引脚分布

四、 功能方框图

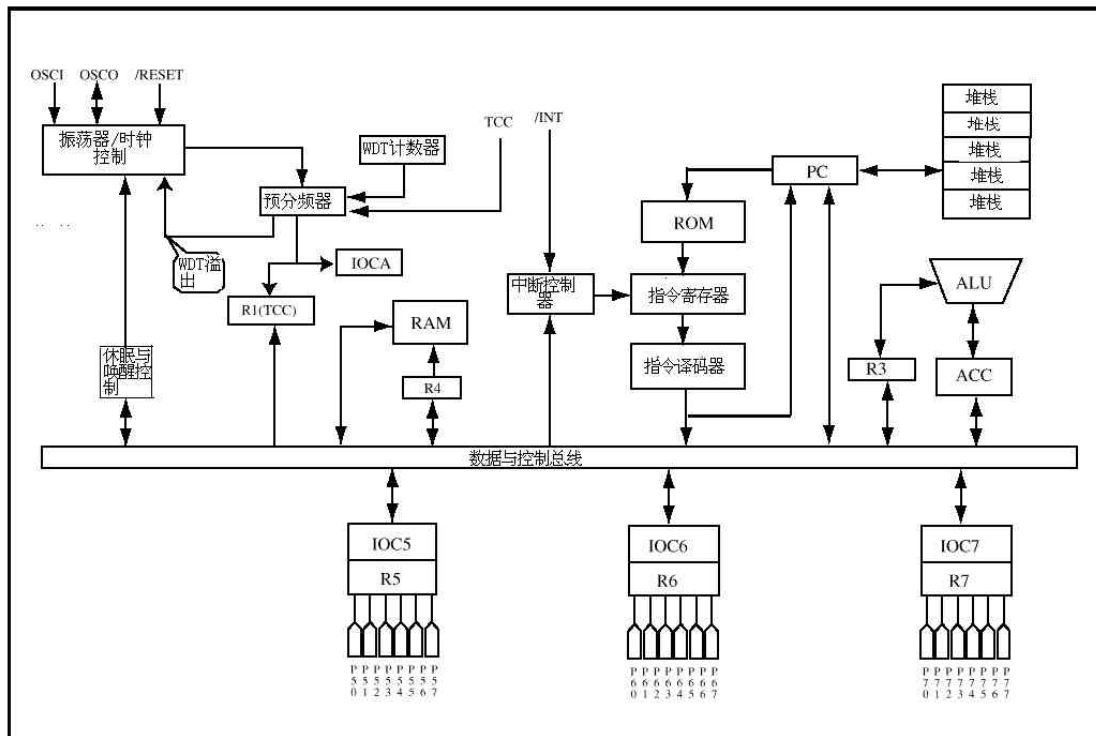


图2 功能框图

五、 引脚描述

表 1 EM78P447A

引脚符号	I / O 类型	功能
VDD	—	电源
OSC I	输入	* 晶振型：晶体振荡器或外部时钟输入脚 * RC振荡器型：RC振荡器输入
OSC O	输入 / 输出	* 晶振型：晶体振荡器或外部时钟输入脚 * RC振荡器型：指令周期时钟信号输出
/INT	输入	* 由下降沿触发的外部中断引脚
P70—P77	输入 / 输出	通用 I / O 端口
P60—P67	同上	同上
P50—P53	同上	同上
/RESET	输入	低电平引起单片机复位
NC	—	未接
TCC	输入	外部时钟输入
VSS	—	地

表 2 EM78P447B

引脚符号	I / O 类型	功能
VDD	—	电源
OSCI	输入	* 晶振型：晶体振荡器或外部时钟输入脚 * RC 振荡器型：RC 振荡器输入
OSCO	输入 / 输出	* 晶振型：晶体振荡器或外部时钟输入脚 * RC 振荡器型：指令周期时钟信号输出
/INT	输入	* 由下降沿触发的外部中断引脚
P70—P77	输入 / 输出	通用 I / O 端口
P60—P67	同上	同上
P50—P57	同上	同上
/RESET	输入	低电平引起单片机复位
NC	—	未接
TCC	输入	外部时钟输入
VSS	—	地

六、功能描述

6.1. 工作寄存器

1) R0 （间接寻址寄存器）

R0 并非一物理存在的寄存器，它的主要功能是做间接寻址指针，任何以 R0 为指针的指令实际上是对 R4 寄存器所指向的数据进行操作。

2) R1 （TCC）

- * 对外部信号沿（上升沿或下降沿由 CONT 寄存器 TE 位决定）或内部指令时钟周期计数。
- * 由 CONT 寄存器第 4，5 位决定是对内部还是外部信号计数
- * 如其余寄存器一样可读写

3) R2（PC 程序计数器）与堆栈

- * EM78P447 的程序计数器 R2 和硬件堆栈为 12 位宽，结构如图 3。
- * 根据相应程序指令代码产生对应于内片 4K×13 位 ROM 的地址，一个程序页面为 1K
- * 复位后 R2 全清 0
- * “JMP” 指令可直接装入 R2 的低 10 位。因此，“JMP” 允许 PC 在一个程序页面直接跳转。
- * “CALL” 指令先将 PC+1 入栈，再装入 PC 低 10 位。因此，要直接调用子程序，其入口地址应与 CALL 指令在同一程序页面中。
- * RET（RETL，RETI）指令将栈项内容装入 PC
- * 任何想直接修改 R2 内容的指令（如“ADD R2，A”、“MOV R2，A”、“BC R2，6”等）均会导致 PC 的 9、10 位清 0。因而由此产生的任何程序跳转将限制在每页的前 256 个地址。
- * 在执行“JMP”“CALL”或任何别的将改变 R2 内容的指令时 R2 的最高两位（A11、A10）将由状态寄存器 R3 的 PS1、PS0 位装入。
- * 除了改变 R2 内容的指令要 2 个指令周期外，别的指令均只要一个指令周期。

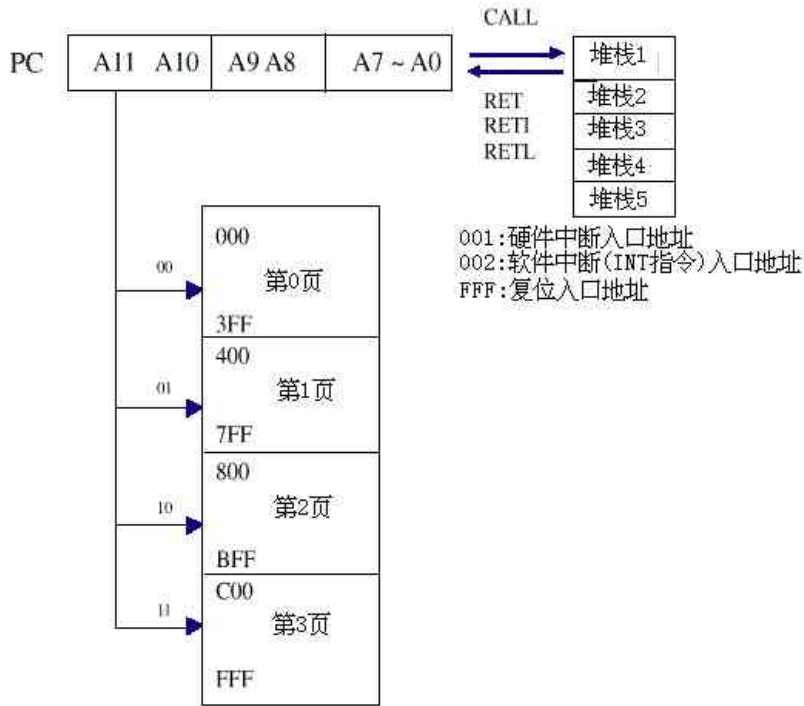


图3 程序计数器组成

4) R 3 (状态寄存器)

7	6	5	4	3	2	1	0
GP	PS1	PS0	T	P	Z	DC	C

- * B I T 0 (C) 进位标志
 - * B I T 1 (DC) 辅助进位标志
 - * B I T 2 (Z) 零标志。当算术或逻辑运算结果为 0 时该位置 1
 - * B I T 3 (P) 掉电模式位。当系统上电或执行“WDTC”指令后该位置 1；当执行“SLEP”指令后该位置 0
 - * B I T 4 (T) 超时位。当系统上电或执行“SLEP”和“WDTC”指令时，置该位为 1；当 WDT 溢出时清 0
 - * B I T 5 (PS0)~6 (PS1) 页面选择位
- PS0, PS1 用于选择程序存储器页面。当执行“JMP”“CALL”或别的改变 PC 的指令时，PS0, PS1 被装入 PC 的第 11, 12 位，以选择一个程序页面。注意，RET, RETI 和 RETL 指令不改变 PS0~PS1。也就是说，直接返回到了子程序被调用的页面，不管当前 PS0, PS1 值。

PS1	PS0	程序存储器页面[地址]
0	0	第 0 页[000—FF]
0	1	第 1 页[400—7FF]
		第 2 页[800—BFF]
1	1	第 3 页[C00—FFF]

- * B I T 7 (GP) 通用读 / 写位

5) R 4 (RAM选择寄存器)

* B I T 0 - 5 用于在间接寻址方式下选择寄存器 (地址: 0 0 - 3 F)

* B I T 6 - 7 用于选择寄存器组 B A N K 0 - 4

参看图 4 所示的数据存储器结构

6) R 5 - R 7 (PORT 5~PORT 7)

* R 5, R 6, R 7 是 I / O 寄存器

7) R 8 - R 1 F, R 2 0 - R 3 E (通用寄存器)

* R 8 - R 1 F, R 2 0 - R 3 E (包括 B A N K 0 - 3 共四个寄存器组) 为通用寄存器

8) R 3 F (中断状态寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	EXIF	-	-	TCIF

* B I T 0 (T C I F) T C C 溢出中断标志, T C C 溢出时置 1 由软件清零

* B I T 3 (E X I F) 外部中断标志。由 I N T 引脚的下降沿置 1 由软件清零

* B I T 1 - 2 和 B I T 4 - 7 未使用

“1”表示中断请求,“0”表示无中断发生

* R 3 F 可被指令清 0, 但不可置 1

* I O C F 为中断控制寄存器

* 注意读 R3F 的结果为 R3F 和 I O C F 的逻辑与。

6.2. 特殊功能寄存器

1) A (累加器)

* 内部数据传输, 或指令运算单元

* 不可寻址

2) C O N T (控制寄存器)

7	6	5	4	3	2	1	0
/PHEN	/INT	TS	TE	PAB	PSR2	PSR1	PSR0

* B I T 0 (P S R 0) - B I T 2 (P S R 2) 为 T C C / W D T 预分频系数选择位

PSR2	PSR1	PSR0	TCC RATE	WDT RATE
0	0	0	1: 2	1: 1
0	0	1	1: 4	1: 2
0	1	0	1: 8	1: 4
0	1	1	1: 16	1: 8
1	0	0	1: 32	1: 16
1	0	1	1: 64	1: 32
1	1	0	1: 128	1: 64
1	1	1	1: 256	1: 128

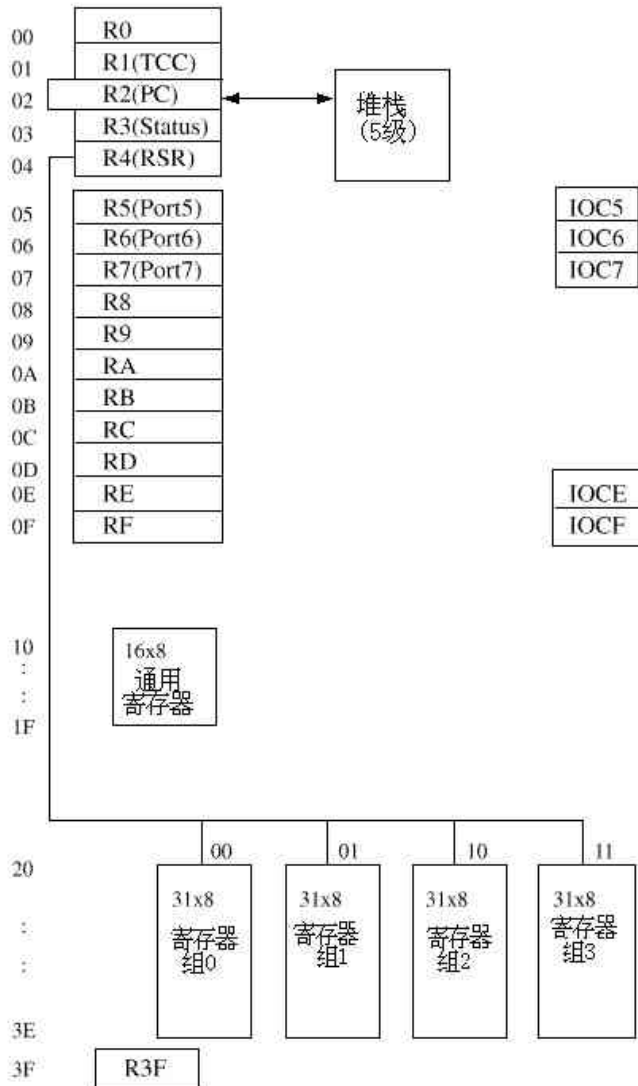


图4 数据存储结构

- * B I T 3 (P A B) 预分频器分配位
0：分配给 T C C 1：分配给 W D T
- * B I T 4 (T E) T C C 信号触发沿
0：T C C 脚信号低到高触发 1：T C C 脚信号高到低触发
- * B I T 5 (T S) T C C 信号源
0：内部指令周期时钟 1：T C C 引脚输入的外部信号
- * B I T 6 (I N T) 中断使能标志
0：由 D I S I 指令或硬件中断清 0，屏蔽中断
1：由 E N I 或 R E T I 指令置 1，开中断
- * B I T 7 (/ P H E N) 用于使能 P60-P67,P47,P75 引脚上拉电阻的控制位
0:使能内部上拉电阻 1:禁止内部上拉电阻
- * C O N T 寄存器可读可写。

3) I O C B (P 6 端口唤醒控制寄存器)

7	6	5	4	3	2	1	0
/WUE7	/WUE6	/WUE5	/WUE4	/WUE3	/WUE2	/WUE1	/WUE0

- * 0：使能唤醒功能 1：禁止唤醒功能
- * BIT0~BIT7 分别控制 P60-P67 引脚的唤醒功能

4) IOCE (WDT 控制器)

7	6	5	4	3	2	1	0
—	ODE	WTE	SLPC	ROC	—	—	/WUE

- * BIT0 (/WUE) P74, P75 唤醒功能控制位
0：使能唤醒， 1：禁止唤醒
- * BIT3 (ROC)： ROC 用于 R-OPTION。ROC 置 1 时单片机可以读 R-OPTION 引脚 (P70, P71) 的。ROC 清 0 将禁止 R-OPTION 功能，用户必须通过一个 560K 的外部电阻 (REX) 将 P71 和/或 P70 与 VSS 相连。如果 REX 与 VDD 相连，由 P70(P71) 读出的状态为 0。如 RDX 与 VDD 未连，由 P70(P71) 读出的状态为 1，参见图 7(B)
- * BIT4 (SLPC) 该位由唤醒信号下沿引起硬件触发置 1，由软件清 0。SLPC 用于控制振荡器的工作，在 SLPC 由高变低时振荡器被禁止 (振荡器停振，单片机进入休眠模式 2)，在 SLPC 由低变高时振荡器使能 (单片机由休眠模式唤醒)。为了确保振荡器输出信号稳定，一旦振荡器再次起振，在执行下条指令前会有 18MS 左右的延时，唤醒后，如果 CODE OPTION 中 WDC 为“1”，则 WDT 将被使能。休眠模式 2 的输入唤醒方框图如图 5。
- * BIT5 (WTE) WDT 控制位，只在 CODE OPTION 的 WTC 为 1 时该位才有效，此时 WDT 是否工作由 WTE 控制
0：禁止 WDT 1：使能 WDT
- * BIT6 (ODE) P76, P77 漏极开路控制位
0：禁止漏极开路输出 1：使能漏极开路输出

IOCE 寄存器可读写

第 1、2、7 位未使用

5) IOCF (中断屏蔽寄存器)

7	6	5	4	3	2	1	0
-	-	-	-	EXIE	-	-	TCIE

- * 第 0 位 (TCIE) TCIF 中断使能位。0 禁止，1 使能。
- * 第 3 位 (EXIE) EXIF 中断使能位。0 禁止，1 使能。
- * 各个中断由置 IOCF 寄存器相应位为 1 来使能。
- * 总体中断由 ENI 指令使能，由 DISI 指令禁止。
- * IOCF 寄存器可读写。

6.3. TCC/WDT 和预分频器

TCC 或 WDT 可有一个 8 位计数器做预分频器。同一时间预分频器只可分配给其中之一，这由 CONT 寄存器的 PAB 位决定。PSR0~PSR2 决定分频系数。若预分频器分配给 TCC，则写 TCC 的指令将预分频器清 0。若分给 WDT，WDT 和预分频器同时被 WDTC 或 SLEP 指令清 0。图 6 为 TCC/WDT 电路图。

R1 (TCC) 是一个 8 位定时器 / 计数器。TCC 的时钟源可以为内部时钟或外部输入。如果为内部时钟，则每过一个指令周期，TCC 加 1 (无预分频器情况下)。根据图 6， $CLK = FOSC / 2$ 或 $CLK = FOSC / 4$ 由 CODE OPTION 的 CLKS 位决定。如果 CLKS 位为 0， $CLK = FOSC / 2$ ，如果 CLKS 位为 1， $CLK = FOSC / 4$ 。

若 TCC 信号源为外部输入，则 TCC 由下降沿或上升沿触发加 1

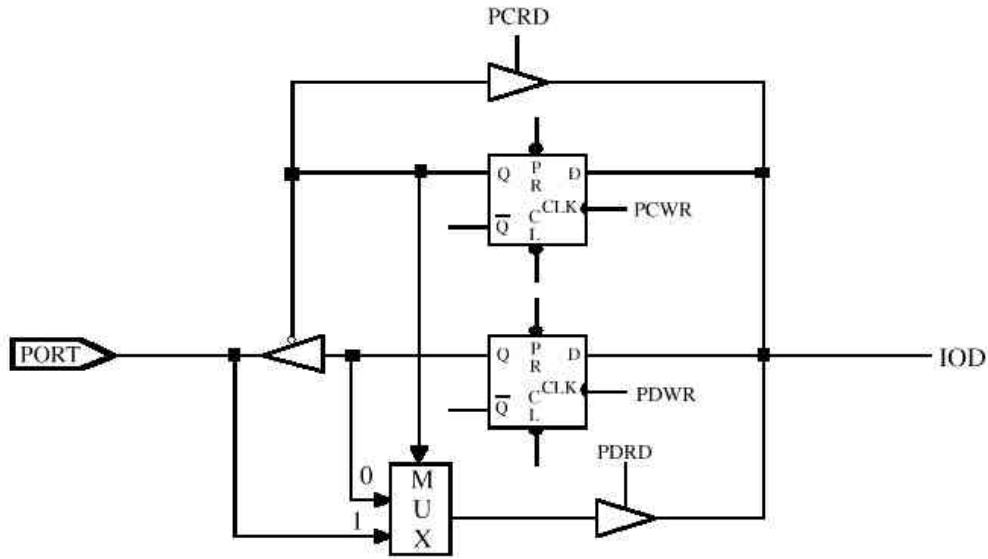
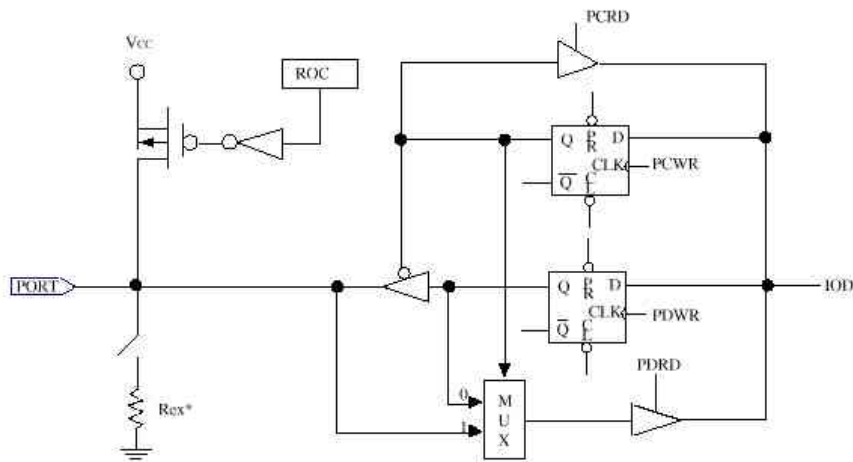


图7(A) I/O口及I/O控制寄存器电路



* Rex为560千欧外接电阻

图7(B) 具有R_OPTION功能的I/O引脚(P70, P71)

6.5. 复位与唤醒

1) 复位

产生复位条件：

- (1) 电源上电
- (2) RESET引脚为低电平
- (3) WDT溢出 (WDT使能时)

参见图8

当单片机检测到复位信号后会保持18MS的复位状态。一旦复位产生，下面功能被完成：

- * 振荡器起振或继续工作
- * PC(R2)置为全1
- * 所有I/O端口引脚被定义为输入模式(高阻态)

- * W D T 和预分频器清 0
- * 上电时 R 3 的 B I T 5, 6 和 R 4 的 B I T 7, 6 清 0
- * 除 B I T 6 外, C O N T 寄存器全置为 1
- * I O C B 寄存器全置为 1 (禁止 P 6 0 – 6 7 的唤醒功能)
- * I O C E 寄存器 B I T 3, B I T 6 清 0, B I T 0, B I T 4, B I T 5 置 1
- * R 3 F 寄存器 B I T 0, B I T 3 和 I O C F 寄存器 B I T 0, B I T 3 清 0

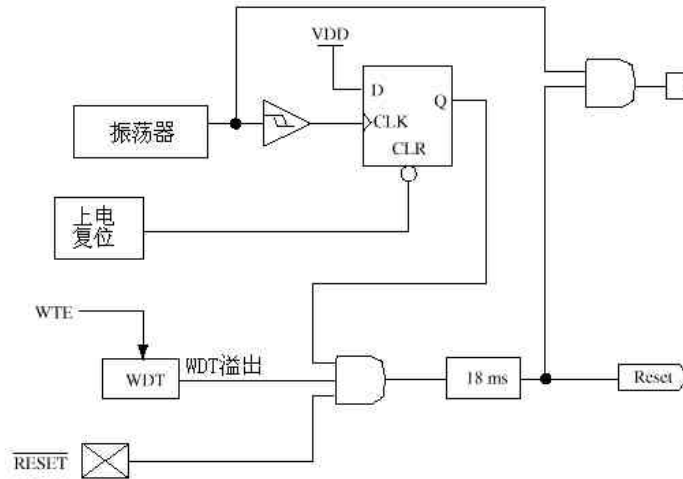


图8 复位控制器框图

执行 S L E P 指令（休眠模式 1）可进行休眠模式。进入休眠模式后，W D T（使能时）清 0，再继续运行。单片机可由下列情况唤醒：

- （1） R E S E T 上的复位信号
- （2） W D T 溢出（W D T 使能）

此两种情况均使单片机复位。R 3 的 T、P 标志用于判断复位产生原因。

除了基本的休眠模式 1，E M 7 8 P 4 4 7 还有休眠模式 2。它由 I O C E 寄存器的 S L P C 位清 0 产生。在休眠模式 2 下，单片机可由下列条件唤醒：

（A）任一唤醒引脚为低电平，如图 5。唤醒后继续从原处运行，往下执行指令。在此情况下，必须在进入休眠模式 2 之前设置要唤醒的引脚为输入状态，要使能上拉电阻，使能唤醒功能。特别要注意的是唤醒后，若 C O D E O P T I O N 的 W T C 为 1，则 W D T 使能。因此，唤醒后 W D T 工作状态可能要重新设定。

（B）W D T 溢出（如果被允许）或在外部复位引脚引起的复位。

表 3 复位时寄存器的初始值

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
N/A	IOC5	Bit Name	C57	C56	C55	C54	C53	C52	C51	C50
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
N/A	IOC6	Bit Name	C67	C66	C65	C64	C63	C62	C61	C60
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
N/A	IOC7	Bit Name	C77	C76	C75	C74	C73	C72	C71	C70
		Power-on	1	1	1	1	1	1	1	1

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
N/A	CONT	Bit Name	/PHEN	/INT	TS	TE	PAB	PSR2	PSR1	PSR0
		Power-on	1	0	1	1	1	1	1	1
		/RESET and WDT	1	P	1	1	1	1	1	1
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0X00	R0(IAR)	Bit Name	-	-	-	-	-	-	-	-
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0X01	R1(TCC)	Bit Name	-	-	-	-	-	-	-	-
		Power-on	0	0	0	0	0	0	0	0
		/RESET and WDT	0	0	0	0	0	0	0	0
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0X02	R2(PC)	Bit Name	-	-	-	-	-	-	-	-
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from Pin Changed	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P	**0/P
0X03	R3(SR)	Bit Name	GP	PS1	PS0	T	P	Z	DC	C
		Power-on	0	0	0	1	1	U	U	U
		/RESET and WDT	0	0	0	t	t	P	P	P
		Wake-up from Pin Changed	P	P	P	t	t	P	P	P
0x04	R4(RSR)	Bit Name	RSR1	RSR0	GP	-	-	-	-	-
		Power-on	0	0	U	U	U	U	U	U
		/RESET and WDT	0	0	P	P	P	P	P	P
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0x05	R5(P5)	Bit Name	P57	P56	P55	P54	P53	P52	P51	P50
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0x06	R6(P6)	Bit Name	P67	P66	P65	P64	P63	P62	P61	P60
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0x07	R7(P7)	Bit Name	P77	P76	P75	P74	P73	P72	P71	P70
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0x3F	RF(ISR)	Bit Name	X	X	X	X	EXIF	X	X	TCIF
		Power-on	U	U	U	U	0	U	U	0
		/RESET and WDT	U	U	U	U	0	U	U	0
		Wake-up from Pin Changed	U	U	U	U	P	U	U	P
0x0B	IOCB	Bit Name	-	-	-	-	-	-	-	-
		Power-on	1	1	1	1	1	1	1	1
		/RESET and WDT	1	1	1	1	1	1	1	1
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P
0x0E	IOCE	Bit Name	X	ODE	WTE	SLPC	ROC	X	X	/WUE
		Power-on	U	0	1	1	0	U	U	1
		/RESET and WDT	U	0	1	1	0	U	U	1
		Wake-up from Pin Changed	U	P	1	1	P	U	U	P

Address	Name	Reset Type	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x0F	IOCF	Bit Name	X	X	X	X	EXIE	X	X	TCIE
		Power-on	U	U	U	U	0	U	U	0
		/RESET and WDT	U	U	U	U	0	U	U	0
		Wake-up from Pin Changed	U	U	U	U	P	U	U	P
0x10 ~ 0x3E	R10~R3E	Bit Name	-	-	-	-	-	-	-	-
		Power-on	U	U	U	U	U	U	U	U
		/RESET and WDT	P	P	P	P	P	P	P	P
		Wake-up from Pin Changed	P	P	P	P	P	P	P	P

** To jump address 0x08 or to execute the instruction which is next to the “SLEP” instruction.

X: not used. U: unknown or don't care.

P: previous value before reset.

t: check Table 4.

2) 状态寄存器的 T、P 位状态

引起复位的条件：（1）电源上电 （2）RESET 复位信号 （3）WDT 溢出

在表 4 中列出的 T、P 值可用于区分单片机因何唤醒。表 5 则列出了会影响 T、P 值的事件。

表 4 复位后 T、P 值

复位类型	T	P
上电	1	1
工作状态下 RESET 信号复位	*P	*P
休眠状态下 RESET 信号唤醒	1	0
工作状态下 WDT 超时溢出	0	*P
休眠状态下 WDT 超时溢出	0	0
休眠状态下引脚变化唤醒	1	0

*P 表示复位前的状态

表 5 不同事件对 T、P 的影响

事件	T	P
上电	1	1
WDTC 指令	1	1
WDT 超时溢出	0	*P
SLEP 指令	1	0
休眠状态下引脚变化唤醒	1	0

*P 表示复位前状态

6.6. 中断

EM78P447 有下列二种硬件中断

- （1）TCC 溢出 中断
- （2）外部中断（INT 引脚）

中断屏蔽寄存器 R3F 在对应位记录中断请求。IOCF 为中断屏蔽寄存器。ENI 指令使整体的中断使能，DISI 使之禁止。中断使能时若有一中断发生，则下一指令将从 001H 地址取出。进入中断处理程序后，可由检查 R3F 的标志位确定中断源。离开中断处理程序前必须用指令清除中断标志，并使能中断，以免重复中断。

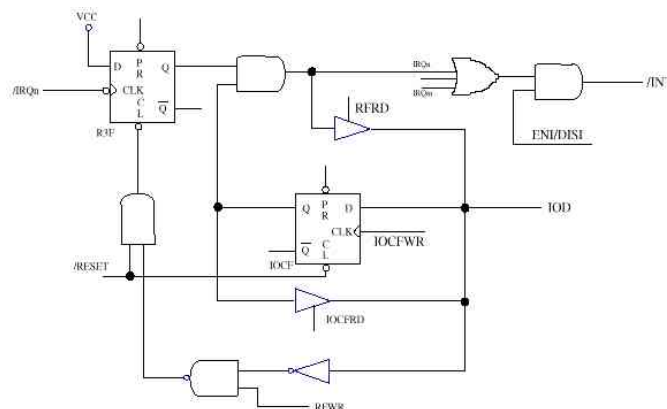


图9 中断输入电路

不管中断屏蔽位状态如何，也不管是否执行 ENI 指令，R3 中的标志都会随中断发生而置位。注意，读 R3F 的结果实际为 R3F 与 IOCF 逻辑与。RETI

指令结束中断子程序，并使能中断（相当于执行 E N I 指令如果中断是由 I N T 指令引起（中断使能时），则下一条指令将从地址 002H 取出。

6.7. 振荡器

1) 振荡器模式

EM78P447 可以工作在三种不同振荡器模式下，分别为外部 RC 振荡器模式（E R C），晶振高频模式（H X T）晶振低频模式（L X T）通过对 C O D E O P T I O N 寄存器的 M S，H L F 和 H L P 的设置来选择上述模式中的一种。表 6 描述了这几种模式是如何定义的。

表 6 由 M S，H L F，H L P 定义的振荡器模式

模式	M S	H L F	H L P
外部 R C 振荡器	0	* X	* X
晶振高频（H X T）	1	1	1
晶振低频（L X T）	1	0	0

注：1．X 任意

2．H X T 与 L X T 模式的频率分界点在 4 0 0 K H 左右。

不同 V D D 下振荡器工作频率上限如表 7 所示

表 7 最大工作速度概况表

条件	V D D (V)	F X T M A X (M)
2 个时钟周期	2 . 5	8
	3	1 2
	5	1 8
	6 . 4	2 0
4 个时钟周期	2 . 5	1 6
	3	2 4
	5	3 6
	6 . 5	4 0

2) 晶体振荡器 / 陶瓷谐振器

EM78P447 可以通过 O S C I 引脚接外部时钟信号，如图 1 0 所示在多数应用场合中，可以在 O S C I 与 O S C O 引脚上连接一个晶体或陶瓷谐振器来构成振荡器。图 1 1 描绘了这种电路。不管 H X T 还是 L X T 模式，电路都一样。表 8 给出 C 1，C 2 的推荐值。因为各个谐振器特性不同用户应据其规格合适大小的 C 1，C 2。

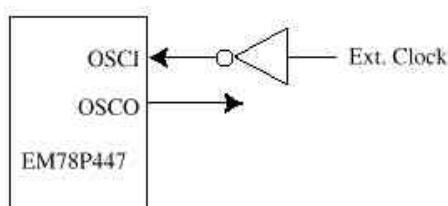


图10 外时钟输入电路

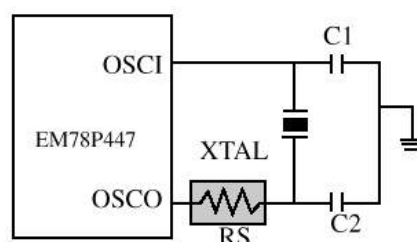


图11 晶振/谐振器电路

表 8 晶振或陶瓷谐振器电容选择

振荡器模式	频率模式	频率	C1 (PF)	C2 (PF)
陶瓷谐振腔	HXT	455KHz	100-150	100-150
		2. 0MHz	20-40	20-40
		4. 0 MHz	10-30	10-30
晶体振荡器	LXT	32. 768 KHz	25	15
		100 KHz	25	25
		200 KHz	25	25
	HXT	455 KHz	20-40	20-150
		1. 0 MHz	15-30	15-30
		2. 0 MHz	15	15
		4. 0 MHz	15	15

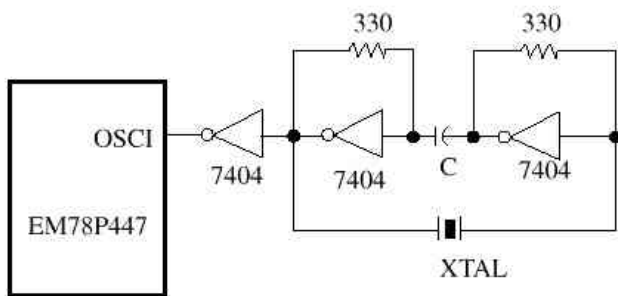


图12 晶振/谐振腔电路(串联模式)

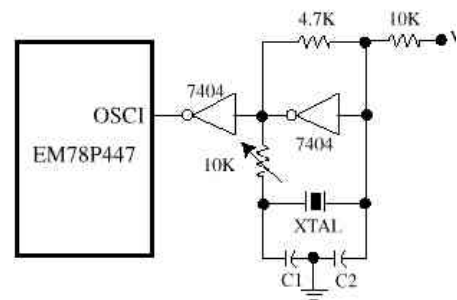


图13 晶振/谐振腔电路(并联模式)

3) RC振荡器模式

在一些时间精度要求不高的应用中，使用RC振荡器（图14）是比较经济的。不过，要注意使用RC振荡器时，其频率与电压，电阻值，电容值甚至工作温度有关。而且，由于进程不同，片与片之间频率会略有不同。为了获得稳定的频率，电容值不得小于20PF，电阻值不得大于1MΩ。若它们不能控制在该范围，频率将很容易受到噪声，湿度和漏损的影响。RC振荡器中电阻越小，得到的频率越高。另一方面，对于很小的电阻值如1KΩ，振荡器变得不稳定，因为NMOS器件不能正确地给电容放电。基于上述原因，必须牢记，电源电压，RC振荡器部件，封装形式及PCB布线方式均会影响系统频率。

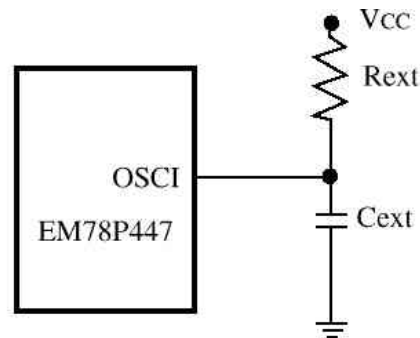


图14 外部RC振荡器模式

表 9 RC振荡器频率

电容	电阻	典型频率 (5V, 25℃)	典型频率 (3V, 25℃)
20PF	3. 3K	3. 5MHz	2. 7 MHz
	5. 1K	2. 4 MHz	2. 02 MHz
	10K	1. 4 MHz	1. 2 MHz
	100K	1. 58MHz	151 KHz
100PF	3. 3K	1. 15 MHz	1. 01 MHz
	5. 1K	770 KHz	704 KHz
	10K	416 KHz	388 KHz
	100K	46 KHz	44 KHz
300PF	3. 3K	484 KHz	434 KHz
	5. 1K	322 KHz	294 KHz
	10K	171 KHz	161 KHz
	100K	18KHz	17. 6 KHz

6.8. CODE OPTION 寄存器

EM78P447 有一个 CODE OPTION 字，它不是平常的程序存储器的一部分。在通常程序执行过程中是不能访问 CODE OPTION 的。

12	11	10	9	8	7	6	5	4	3	2	1	0
MS	ENWDTB	CLKS	/PT	HLF	HLP	TYP	—	—	—	—	—	—

* B I T 1 2 (M S) 振荡器类型选

0: R C 振荡器 1: X T A L 振荡器

* B I T 1 1 (E N W D T B) W D T 使能位

0: 使能 1: 禁止

* B I T 1 0 (C L K S) 指令周期选择

0: 2 个振荡周期 1: 4 个振荡周期

* B I T 9 (/ P T) 保密位

0: 程序保密 1: 不保密

* B I T 8 (H L F) X T A L 频率选择

0: X T A L 2 型 (低频, 3 2 . 7 8 6 K H) 1: X T A L 1 型 (高频)

* B I T 7 (H L P) 功耗选择

0: 低功耗 1: 高功耗

* B I T 6 (类型) 选择 E M 7 8 P 4 4 7 A 或 B / C 型

0: E M 7 8 P 4 4 7 B / C 1: E M 7 8 P 4 4 7 A

* B I T 5 ~ 0 用户 ID 码

6.9. 关于上电的考虑

在电源达到稳定状态之前，任何单片机都不能确保正常工作。EM78P447 具有检测电压为 1.6V 的上电电压检测器 (POVD)。这就免除了外部复位电路。在 VDD 上升足够快时 (10MS 以下)，单片机会正常工作。但在一些要求较高的应用场合，还是需要加外部电路来协助解决上电问题。

6.10. 外部上电复位电路

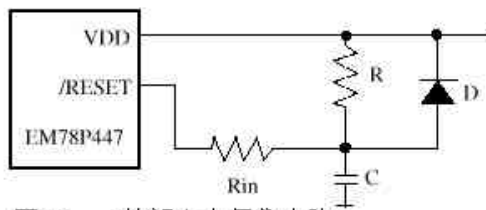


图15 外部上电复位电路

如图 1 5 所示为产生复位脉冲的外部 R C 电路。脉冲将保持足够长时间直至 VDD 达到最小工作电压。当电源电压上升比较慢时，可以使用这个电路。由于 RESET 引脚的电流约为 $\pm 5 \mu A$ 故建议 R 不要大于 40 K。这样 RESET 脚上的电压就保持在 0.2 V 以下。二极管 D 在电源掉电时构成短路，使电容 C 快速充分地放电。限流电阻 Rin 用

来限制放电电流过大，或是避免静电 (ESD) 放电对 /RESET 的冲击。

6.11. 残余电压保护

有些应用中，例如更换供电电池，电源将断电，几秒钟后恢复。这将会有一个小于 VDD 最小值但又不为 0 的残余电压。图 1 6，图 1 7 给出了残余电压保护电路。

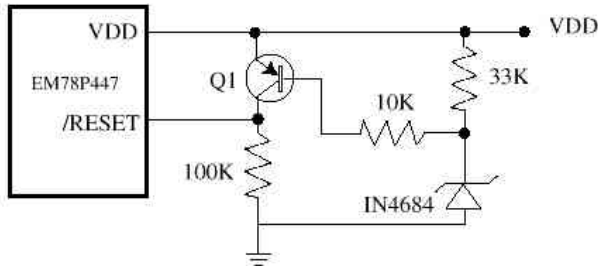


图16 残余电压保护电路1

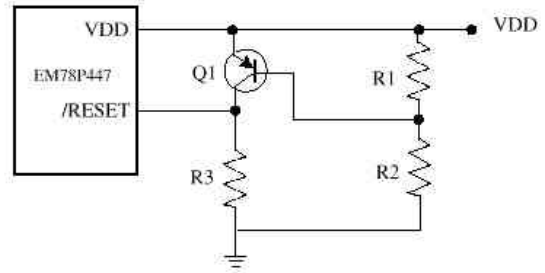


图17 残余电压保护电路2

附一、绝对最大范围

Temperature under bias	T_{OPR}	0°C to 70°C
Storage temperature	T_{STR}	-65°C to 150°C
Input voltage	V_{IN}	-0.3V to +6.0V
Output voltage	V_O	-0.3V to +6.0V

附二、直流电气特性 ($T_a=0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $V_{DD}=5.0\text{V}$, $V_{SS}=0\text{V}$)

Parameter	Sym.	Condition	Min.	Typ.	Max.	Unit
XTAL: VDD to 3V	F _{xt}	Two clocks		DC		4.0 MHz
XTAL: VDD to 5V				DC		18.0 MHz
RC : VDD to 5V	F _{RC}	R : 5K Ω , C : 100pF		F $\pm$ 20%	770	F $\pm$ 20% KHz
Input Leakage Current for input pins	I _{IL}	$V_{IN} = V_{DD}, V_{SS}$			± 1	μA
Input High Voltage	V _{IH}	Ports 5, 6, 7		2.0		V
Input Low Voltage	V _{IL}	Ports 5, 6, 7			0.8	V
Input High Threshold Voltage	V _{IHT}	/RESET, TCC, INT		2.0		V
Input Low Threshold Voltage	V _{ILT}	/RESET, TCC, INT			0.8	V
Clock Input High Voltage	V _{IHX}	OSCI		3.5		V
Clock Input Low Voltage	V _{ILX}	OSCI			1.5	V
Output High Voltage (Port 5,6,7)	V _{OH1}	I _{OH} = -10.0mA		2.4		V
Output Low Voltage (Port 5,6)	V _{OL1}	I _{OL} = 9.0mA			0.4	V
Output Low Voltage (P70~75)	V _{OL2}	I _{OL} = 14.0mA			0.4	V
Output Low Voltage (P76~77)	V _{OL3}	I _{OL} = 22.0mA			0.4	V
Pull-high current	I _{PH}	Pull-high active, input pin at V _{SS}		-50	-100	μA
Power-down current	I _{SB1}	All input and I/O pins at V _{DD} , output pin floating, WDT enabled			5	μA
Power-down current	I _{SB2}	All input and I/O pins at V _{DD} , output pin floating, WDT disabled			1	μA
Operating supply current (VDD=5V) at two cycles/two clocks	I _{CC1}	/RESET='High', Fosc=4MHz (HLF="1", CK2="0"), output pin floating, WDT disabled			2.2	mA
Operating supply current (VDD=5V) at two cycles/two clocks	I _{CC2}	/RESET='High', Fosc=10MHz (HLF="1", CK2="0"), output pin floating, WDT disabled			5	mA
Operating supply current (VDD=3.25V) at two cycles/two clocks	I _{CC3}	/RESET='High', Fosc=32.768KHz (HLF="0", CK2="0"), output pin floating, WDT disabled			30	μA

附三、电压检测器电气特性 ($T_a = 25^{\circ}\text{C}$)

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Detect voltage	Vdet		1.5	1.6	1.7	V
Release voltage	Vrel			Vdet x1.05		V
Current consumption	Iss	$V_{DD} = 5\text{V}$			5	μA
Operating voltage	Vop		0.7*		5.5	V
Temperature characteristic of Vdet	$\Delta\text{Vdet}/\Delta T_a$	$0^{\circ}\text{C} \leq T_a \leq 70^{\circ}\text{C}$			-2	mV/ $^{\circ}\text{C}$
VDD reset voltage	Vreset	$T_a = 25^{\circ}\text{C}$			1.9	V

* When the voltage of V_{DD} rises between $V_{op}=0.7\text{V}$ and Vdet, the output of voltage detector must be "Low".

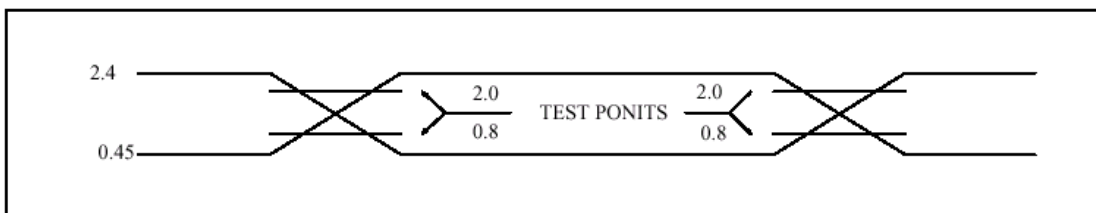
附四、交流电气特性 ($T_a=0^{\circ}\text{C} \sim 70^{\circ}\text{C}$, $V_{DD}=5.0\text{V} \pm 5\%$, $V_{SS}=0\text{V}$)

Parameter	Symbol	Condition	Min.	Typ.	Max.	Unit
Input CLK duty cycle	Dclk		45	50	55	%
Instruction cycle time (CLKS="0")	Tins	XTAL Type	125		DC	ns
		RC Type	500		DC	ns
TCC input period	Ttcc		$(T_{ins}+20)/N^*$			ns
Device reset hold time	Tdrh	$T_a = 25^{\circ}\text{C}$		14.5		ms
/RESET pulse width	Trst	$T_a = 25^{\circ}\text{C}$	2000			ns
Watchdog Timer period	Twdt	$T_a = 25^{\circ}\text{C}$		14.5		ms
Input pin setup time	Tset			0		ns
Input pin hold time	Thold			20		ns
Output pin delay time	Tdelay	Cload=20pF		50		ns

Note : N^* = selected prescaler ratio.

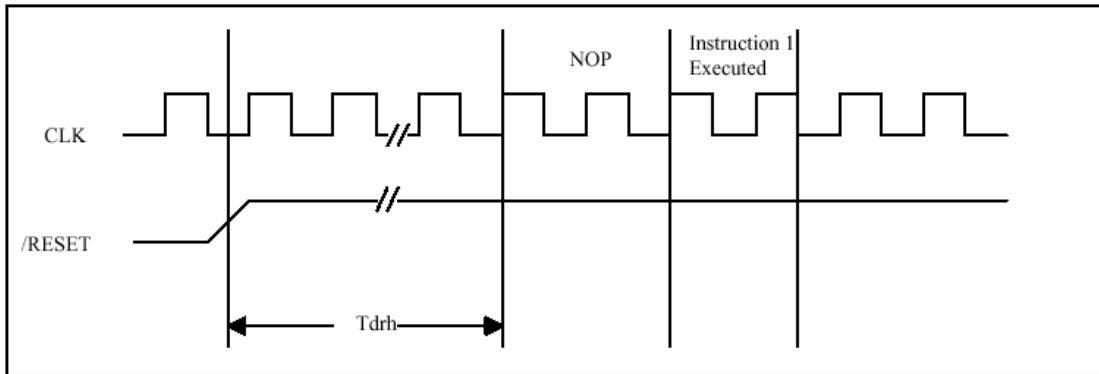
附五、时隙图

1) 交流测试输入/输出波形



AC Testing : Input is driven at 2.4V for logic "1", and 0.45V for logic "0". Timing measurements are made at 2.0V for logic "1", and 0.8V for logic "0".

2) 复位时隙 (CLK= "0")



3) TCC 输入时隙 (CLK= "0")

